

(2)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-132966
(P2000-132966A)

(43)公開日 平成12年5月12日 (2000.5.12)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|---------------------------|------|--------------|-------------------------|
| G 11 C 11/407 | | G 11 C 11/34 | 3 6 2 S 5 B 0 1 5 |
| 11/413 | | | 3 0 2 A 5 B 0 2 4 |
| 11/408 | | | 3 5 4 B |
| | | | 3 5 4 C |

審査請求 有 請求項の数38 O.L (全46頁)

| | | | |
|----------|--------------------------|---------|--|
| (21)出願番号 | 特願平10-307645 | (71)出願人 | 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 |
| (22)出願日 | 平成10年10月28日 (1998.10.28) | (72)発明者 | 廣部 厚紀 東京都港区芝五丁目7番1号 日本電気株式会社内 |
| | | (72)発明者 | 永田 恒一 東京都港区芝五丁目7番1号 日本電気株式会社内 |
| | | (74)代理人 | 100099830 弁理士 西村 征生 |

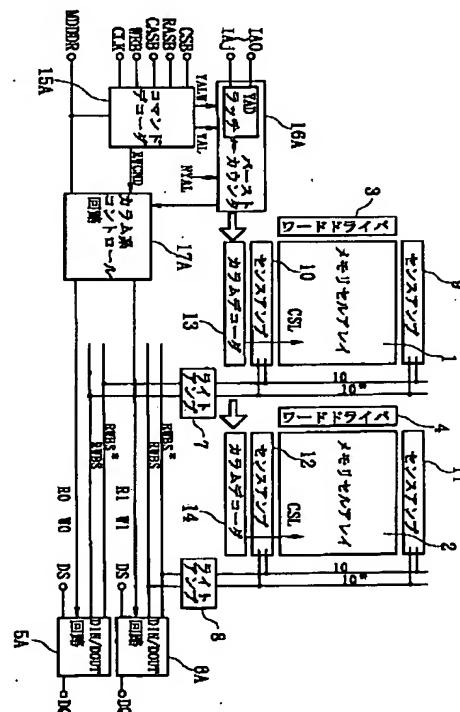
最終頁に統ぐ

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】複数のアドレスの保持とコマンド種別によるアドレスの選択出力とを、十分な動作マージンをとりながら実行可能にする。

【解決手段】開示される半導体記憶装置は、コマンドデコーダ15Aが、読み出しコマンドの入力から第1の期間後に第1の制御信号を発生し、書き込みコマンドの入力から第2の期間後に第2の制御信号を発生するとともに、第1の制御信号と第2の制御信号とに応じてカラム系コントロール回路17Aへの動作指示信号を発生し、バーストカウンタ16Aが、入力アドレスを第1の期間及び第2の期間遅延して、第1の制御出力に応じて第1の期間遅延したアドレスを読み出しアドレスとして出力し、第2の制御信号に応じて第2の期間遅延したアドレスを書き込みアドレスとして出力するように構成されている。



【特許請求の範囲】

【請求項1】 外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、前記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、
前記制御手段が、読み出しコマンドの入力から第1の期間後に第1の制御信号を発生し、書き込みコマンドの入力から第2の期間後に第2の制御信号を発生するとともに、該第1の制御信号と第2の制御信号とに応じて前記カラム系制御手段に対する動作指示信号を発生し、前記アドレス出力手段が、入力アドレスを前記第1の期間及び第2の期間遅延して、第1の制御信号に応じて第1の期間遅延したアドレスを読み出しアドレスとして出力し、第2の制御信号に応じて第2の期間遅延したアドレスを書き込みアドレスとして出力するように構成されていることを特徴とする半導体記憶装置。

【請求項2】 前記制御手段が、外部コマンドに応じて読み出しコマンドの入力から前記第1の期間後に前記第1の制御信号を発生する第1の信号発生手段と、外部コマンドに応じて書き込みコマンドの入力から前記第2の期間後に前記第2の制御信号を発生する第2の信号発生手段とを備えたことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記制御手段が、前記第1の制御信号と第2の制御信号とが衝突する場合に、前記第1の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記アドレス出力手段が、入力アドレスを遅延する1又は複数の遅延手段を備えて入力アドレスを前記第1の期間又は第2の期間遅延し、入力アドレスを第1の期間遅延した遅延手段の出力を前記第1の制御信号によって選択して読み出しアドレスとして出力し、入力アドレスを第2の期間遅延した遅延手段の出力を前記第2の制御信号によって選択して書き込みアドレスとして出力するように構成されていることを特徴とする請求項1, 2又は3記載の半導体記憶装置。

【請求項5】 前記アドレス出力手段が、入力アドレスを前記第1の期間又は第2の期間遅延する遅延手段を備え、入力アドレスを第1の期間遅延して第1の制御信号によって選択して読み出しアドレスとして出力し、入力アドレスを第2の期間遅延して第2の制御信号によって選択して書き込みアドレスとして出力するように構成されていることを特徴とする請求項1, 2又は3記載の半導体記憶装置。

【請求項6】 前記第1の期間が0を含む任意のクロック期間であり、前記第2の期間が該第1の期間より所定

クロック期間長い任意のクロック期間であることを特徴とする請求項1乃至5のいずれかに記載の半導体記憶装置。

【請求項7】 前記各遅延手段が、1クロック期間信号を保持するレジスタ回路を、0を含む前記第1の期間又は第2の期間に対応する数直列に接続してなることを特徴とする請求項4, 5又は6記載の半導体記憶装置。

【請求項8】 前記制御手段が、前記第1の制御信号と第2の制御信号とが衝突する場合に、前記第2の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項9】 前記制御手段が、前記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、前記第1の制御信号又は第2の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項10】 外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、前記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、
前記制御手段が、読み出しコマンドの入力から第1の期間後と、読み出しコマンドの入力から第2の期間後とに制御信号を発生し、読み出しコマンドの入力時と書き込みコマンドの入力時とで符号が反転する選択信号を発生

30 するとともに、該制御信号に応じて前記カラム系制御手段に対する動作指示信号を発生し、

前記アドレス出力手段が、入力アドレスを第1の期間及び第2の期間遅延して、前記選択信号に応じて、第1の期間遅延したアドレス又は第2の期間遅延したアドレスを選択して、前記制御信号で定まるタイミングで読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴とする半導体記憶装置。

【請求項11】 前記制御手段が、外部コマンドに応じて読み出しコマンドの入力から前記第1の期間後と、書き込みコマンドの入力から前記第2の期間後とに、前記制御信号を発生する制御信号発生手段と、読み出しコマンドの入力時と書き込みコマンドの入力時とで符号が反転する選択信号を発生する選択信号発生手段とを備えたことを特徴とする請求項10記載の半導体記憶装置。

【請求項12】 前記制御手段が、前記読み出しコマンドに応じて発生した制御信号と、書き込みコマンドに応じて発生した制御信号とが衝突する場合に、読み出しコマンドに応じて発生した制御信号のみを優先的に出力するように構成されていることを特徴とする請求項10又は11記載の半導体記憶装置。

【請求項13】 前記アドレス出力手段が、入力アドレスを遅延する1又は複数の遅延手段を備えて入力アドレスを前記第1の期間又は第2の期間遅延し、入力アドレスを第1の期間遅延した遅延手段の出力と、入力アドレスを第2の期間遅延した遅延手段の出力とを前記選択信号に応じて選択した信号を、前記制御信号のタイミングで読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴とする請求項10, 11又は12記載の半導体記憶装置。

【請求項14】 前記アドレス出力手段が、入力アドレスを前記第1の期間又は第2の期間遅延する遅延手段を備え、入力アドレスを第1の期間遅延した信号又は入力アドレスを第2の期間遅延した信号を前記制御信号に応じて選択した出力を、前記制御信号のタイミングで読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴とする請求項10, 11又は12記載の半導体記憶装置。

【請求項15】 前記第1の期間が0を含む任意のクロック期間であり、前記第2の期間が該第1の期間より所定クロック期間長い任意のクロック期間であることを特徴とする請求項10乃至14のいずれかに記載の半導体記憶装置。

【請求項16】 前記各遅延手段が、1クロック期間信号を保持するレジスタ回路を、0を含む前記第1の期間又は第2の期間に対応する数直列に接続してなることを特徴とする請求項13, 14又は15記載の半導体記憶装置。

【請求項17】 前記制御手段が、前記第1の制御信号と第2の制御信号とが衝突する場合に、前記第2の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項10又は11記載の半導体記憶装置。

【請求項18】 前記制御手段が、前記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、前記第1の制御信号及び第2の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項10又は11記載の半導体記憶装置。

【請求項19】 外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、前記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、

前記制御手段が、読み出しコマンドの発生時第1の制御信号を発生するとともに、該読み出しコマンドの発生から第1の期間後に第2の制御信号を発生し、書き込みコマンドの発生時第3の制御信号を発生するとともに、該

書き込みコマンドの発生から第2の期間後に第4の制御信号を発生し、該第2の制御信号と第4の制御信号とに応じて前記カラム系制御手段に対する動作指示信号を発生し、

前記アドレス出力手段が、第1の制御信号に応じて入力アドレスをラッチして第2の制御信号に応じて読み出しアドレスとして出力し、第3の制御信号に応じて入力アドレスをラッチして第4の制御信号に応じて書き込みアドレスとして出力するように構成されていることを特徴とする半導体記憶装置。

【請求項20】 前記制御手段が、外部コマンドに応じて、読み出しコマンドの入力時、前記第1の制御信号を発生する第1の信号発生手段と、外部コマンドに応じて、該読み出しコマンドの発生時から第1の期間後に前記第2の制御信号を発生する第2の信号発生手段と、外部コマンドに応じて、書き込みコマンドの入力時、前記第3の制御信号を発生する第3の信号発生手段と、外部コマンドに応じて、該書き込みコマンドの発生時から第2の期間後に前記第4の制御信号を発生する第4の信号発生手段とを備えていることを特徴とする請求項19記載の半導体記憶装置。

【請求項21】 前記制御手段が、前記第2の制御信号と第4の制御信号とが衝突する場合に、前記第2の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項19又は20記載の半導体記憶装置。

【請求項22】 前記アドレス出力手段が、入力アドレスを前記第1の制御信号によってラッチして第2の制御信号に応じて読み出しアドレスとして出力する第1の遅延手段と、入力アドレスを前記第3の制御信号によってラッチして第4の制御信号に応じて書き込みアドレスとして出力する第2の遅延手段とを備えたことを特徴とする請求項19, 20又は21記載の半導体記憶装置。

【請求項23】 前記アドレス出力手段が、前記第1の遅延手段と第2の遅延手段とをそれぞれ1または複数個備え、任意の遅延手段の出力によって読み出しアドレス及び/又は書き込みアドレスを出力するうように構成されていることを特徴とする請求項22記載の半導体記憶装置。

【請求項24】 前記アドレス出力手段が、入力アドレスをその発生ごとにラッチする前記第1の遅延手段又は第2の遅延手段を備え、前記第2の制御信号又は第4の制御信号に応じて、読み出しアドレス又は書き込みアドレスを出力するように構成されていることを特徴とする請求項22記載の半導体記憶装置。

【請求項25】 前記第1の期間が0を含む任意のクロック期間であり、前記第2の期間が該第1の期間より所定クロック期間長い任意のクロック期間であることを特徴とする請求項19乃至24のいずれかに記載の半導体記憶装置。

【請求項26】 前記各遅延手段が、前記第1の制御信号又は第2の制御信号によって入力信号をラッチし又は入力信号をその発生ごとにラッチして、前記第3又は第4の制御信号に応じてラッチした信号を出力するラッチ回路からなることを特徴とする請求項22乃至25のいずれかに記載の半導体記憶装置。

【請求項27】 前記制御手段が、前記第2の制御信号と第4の制御信号とが衝突する場合に、前記第4の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項19又は20記載の半導体記憶装置。

【請求項28】 前記制御手段が、前記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、前記第2の制御信号及び第4の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項19又は20記載の半導体記憶装置。

【請求項29】 外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、前記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、

前記制御手段が、読み出しコマンドの発生時、第1の制御信号を発生するとともに、該読み出しコマンドの発生から第1の期間後に第2の制御信号を発生し、書き込みコマンドの発生時、第3の制御信号を発生するとともに、該書き込みコマンドの発生から第2の期間後に第4の制御信号を発生し、さらに該第2の制御信号及び第4の制御信号の発生時、第5の制御信号を発生し、該第2の制御信号と第4の制御信号とに応じて前記カラム系制御手段に対する動作指示信号を発生し、

前記アドレス出力手段が、前記第1の制御信号に応じて入力アドレスをラッチして第2の制御信号に応じて信号保持手段に保持し、第3の制御信号に応じて入力アドレスをラッチして第4の制御信号に応じて前記信号保持手段に保持して、前記第5の制御信号に応じて該信号保持手段に保持されたアドレスを読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴とする半導体記憶装置。

【請求項30】 前記制御手段が、外部コマンドに応じて読み出しコマンドの発生時、前記第1の制御信号を発生する第1の信号発生手段と、外部コマンドに応じて該読み出しコマンドの発生から前記第1の期間後に、前記第2の制御信号を発生する第2の信号発生手段と、外部コマンドに応じて書き込みコマンドの発生時、前記第3の制御信号を発生する第3の信号発生手段と、外部コマンドに応じて該書き込みコマンドの発生から前記第2の

期間後に、前記第4の制御信号を発生する第4の信号発生手段と、該第2の制御信号発生時と第4の制御信号発生時とに第5の制御信号を発生する第5の信号発生手段とを備えていることを特徴とする請求項29記載の半導体記憶装置。

【請求項31】 前記制御手段が、前記第2の制御信号と第4の制御信号とが衝突する場合に、前記第2の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項29又は30記載の半導体記憶装置。

【請求項32】 前記アドレス出力手段が、入力アドレスを前記第1の制御信号によってラッチして第2の制御信号に応じて出力する第1の遅延手段と、入力アドレスを前記第3の制御信号によってラッチして第4の制御信号に応じて出力する第2の遅延手段とを備え、該第1の遅延手段又は第2の遅延手段からの出力によって、前記第5の制御信号のタイミングで読み出しアドレス又は書き込みアドレスを出力するように構成されていることを特徴とする請求項29, 30又は31記載の半導体記憶装置。

【請求項33】 前記アドレス出力手段が、前記第1の遅延手段と第2の遅延手段とをそれぞれ1又は複数個備え、任意の遅延手段の出力によって読み出しアドレス及び／又は書き込みアドレスを出力するうように構成されていることを特徴とする請求項32記載の半導体記憶装置。

【請求項34】 前記アドレス出力手段が、入力アドレスをその発生ごとにラッチする前記第1の遅延手段又は第2の遅延手段を備え、前記第2の制御信号又は第4の制御信号に応じて、読み出しアドレス又は書き込みアドレスを出力するように構成されていることを特徴とする請求項32記載の半導体記憶装置。

【請求項35】 前記第1の期間が0を含む任意のクロック期間であり、前記第2の期間が該第1の期間より所定クロック期間長い任意のクロック期間であることを特徴とする請求項29乃至34のいずれかに記載の半導体記憶装置。

【請求項36】 前記各遅延手段が、前記第1の制御信号又は第2の制御信号によって入力信号をラッチし又は入力信号をその発生ごとにラッチして、前記第3又は第4の制御信号に応じてラッチした信号を出力するラッチ回路からなることを特徴とする請求項32乃至35のいずれかに記載の半導体記憶装置。

【請求項37】 前記制御手段が、前記第2の制御信号と第4の制御信号とが衝突する場合に、前記第4の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項29又は30記載の半導体記憶装置。

【請求項38】 前記制御手段が、前記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の

制御信号と、前記第2の制御信号及び第4の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴とする請求項29又は30記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特に、DDR-SDRAM (Double Data Rate-Synchronous Dynamic Random Access Memory) からなる半導体記憶装置に関する。

【0002】

【従来の技術】計算機の動作を制御する中央処理装置(CPU)の高速化に伴って、計算機の主記憶装置としては、クロックに同期して動作するSDRAMが多く使用されているが、さらに高速化を図るため、2ビットのデータを同時に読み書きすることができる、2ビットプリフェッチ型のSDRAMが用いられるようになった。

【0003】図50は、2ビットプリフェッチ型のSDRAMからなる従来例の半導体記憶装置の構成例を示すブロック図、図51は、同半導体記憶装置のライト時の動作を説明するタイミングチャート、図52は、同半導体記憶装置のリード時の動作を説明するタイミングチャートである。従来例の半導体記憶装置は、図50に示すように、メモリセルアレイ1, 2と、ワードドライバ3, 4と、DIN/DOUT(データイン/データアウト)回路5, 6と、ライトアンプ7, 8と、センスアンプ9, 10, 11, 12と、カラムデコーダ13, 14と、コマンドデータ15と、バーストカウンタ16と、カラム系コントロール回路17とから概略構成されている。

【0004】メモリセルアレイ1, 2は、それぞれ複数個のメモリセルをマトリクス状に配列して構成されている。ワードドライバ3, 4は、それぞれメモリセルアレイ1, 2の各ワード線を駆動する。DIN/DOUT回路5, 6は、それぞれ書き込み動作制御信号W0, W1に応じて、それぞれ偶数番目と奇数番目のデータバスからのデータ入力DQに対応する、相補信号からなるデータ出力RWBS, RWBS*(*は反転信号を示す。以下省略)を出力し、また、それぞれ読み出し動作制御信号R0, R1に応じて、相補信号からなるデータ入力RWBS, RWBS*によって、それぞれ偶数番目と奇数番目のデータバスに対するデータ出力DQを発生する。ライトアンプ7, 8は、それぞれデータ出力RWBS, RWBS*を増幅して、相補信号からなる書き込み入力IO, IO*を出力する。センスアンプ9, 10は、メモリセルアレイ1を構成する各ビット線に接続されたメモリセルに対する書き込み電圧を増幅し、またはメモリセルからの読み出し電圧を増幅する。センスアンプ11, 12は、メモリセルアレイ2を構成する各ビット線に接続されたメモリセルに対する書き込

み電圧を増幅し、またはメモリセルからの読み出し電圧を増幅する。

【0005】カラムデコーダ13, 14は、アドレス入力に応じて、それぞれメモリセルアレイ1, 2の各ビット線を選択して、選択されたカラムセレクト線CSLを駆動する。コマンドデコーダ15は、外部コマンド信号CSB(コマンドセレクトバー), RASB(ラスバー), CASB(カスバー), WEB(ライトイネーブルバー)及びクロック信号CLKに応じて、内部コマンド信号であるリードライトコマンドRWCMDと、アドレス制御信号YAL, NYALを発生する。バーストカウンタ16は、例えば8ビットからなるアドレス入力(IA0~IAj)に対して、アドレス制御信号YALによって定まるタイミングでアドレス出力を発生したのち、アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力を発生する処理を、2クロックごとに所定バースト長(例えばワード長)に対応する期間繰り返して行う。カラム系コントロール回路17は、コマンドデコーダ15からのリードライトコマンドRWCMDと、バーストカウンタ16のアドレス出力とに応じて、DIN/DOUT回路5, 6に対して、書き込み動作制御信号W0, W1又は読み出し動作制御信号R0, R1を出力する。

【0006】次に、図50及び図51を参照して、従来例の半導体記憶装置のライト時の動作について説明する。コマンド入力CMDがライトコマンドW_CMDであって、クロックCLKに対応して、データ入力DQとしてD0, D1, D2, D3が入力されたとする。このとき、コマンドデコーダ15からのリードライトコマンドRWCMDに応じて、カラム系コントロール回路17から書き込み動作制御信号W0, W1が出力される。一方、図示されないCPU(中央処理装置)からのアドレスA0~Aj(8ビット)の指定に応じて、アドレス入力IA0~IAjが発生すると、コマンドデコーダ15からのアドレス制御信号YALに応じて、バーストカウンタ16からアドレスYP0~YPjが出力され、次に、2クロック後にアドレス制御信号NYALに応じて、バーストカウンタ16からアドレスYP0~YPjに+2(2ビットプリフェッチの場合)したアドレスが40出力される。このとき、DIN/DOUT回路5, 6から、書き込み動作制御信号W0, W1に応じて、データ出力RWBS, RWBS*として、偶数番目のデータD0と奇数番目のデータD1が出力され、ライト回路7, 8から、書き込みデータIO, IO*として、D0, D1が出力されて、アドレスYP0~YPjによって定まるカラムセレクト線CSL0, 1のメモリセルに書き込まれる。さらに、次の書き込み動作制御信号W0, W1に応じて、データ出力RWBS, RWBS*として、データD2, D3が出力され、書き込みデータIO, IO*として、D2, D3が出力されて、アド

レス $YPO \sim YPj$ (+2) によって定まるカラムセレクト線 $CSL2, 3$ のメモリセルに書き込まれる。

【0007】次に、図50及び図52を参照して、従来例の半導体記憶装置のリード時の動作について説明する。コマンド入力CMDがリードコマンドR CMDであって、CPUからのアドレス $A0 \sim Aj$ の指定に応じて、アドレス入力 $IA0 \sim IAj$ が発生すると、コマンドデコーダ15からのアドレス制御信号 YAL に応じて、バーストカウンタ16からアドレス $YPO \sim YPj$ が出力され、次に、アドレス制御信号 $NYAL$ に応じて、バーストカウンタ16からアドレス $YPO \sim YPj$ に+2したアドレスが出力される。これによって、アドレス $YPO \sim YPj$ によって定まるカラムセレクト線 $CSL0, 1$ から読み出しデータ IO, IO^* として $Q0, Q1$ が出力され、アドレス $YPO \sim YPj$ (+2) によって定まるカラムセレクト線 $CSL2, 3$ から $Q2, Q3$ が出力される。一方、カラムコントロール回路17は、リードライトコマンド $RWCMD$ に応じて、読み出し動作制御信号 $R0, R1$ を2クロックごとに出力し、これによって、読み出しデータ $RWBS, RWBS^*$ として、データ $Q0, Q1$ 及び $Q2, Q3$ が出力されるので、 $DIN/DOUT$ 回路5, 6は、出力指定タイミングである5クロック後($CLT=5$)に、読み出しデータ DQ として、1クロックごとにデータ $Q0, Q1, Q2, Q3$ を出力する。

【0008】

【発明が解決しようとする課題】上記従来例の2ビットプリフェッチ型SDRAMからなる半導体記憶装置では、クロック信号に同期して動作するため、動作速度を上げるために、クロック信号を高速化する必要がある。しかしながら、SDRAMを使用した計算機等において、クロック速度を上げようすると、クロック信号とデータ入力信号とのタイミングスキーの問題が発生するため、クロック信号の高速化には限界がある。

【0009】これに対して、データ入力信号の取り込みをデータストローブ信号によって行い、クロック周期をデータ入力周期の2倍とするDDR-SDRAMが提案され、現在、JEDEC (Joint Electronic Device Engineering Council) での標準化が進められている。データストローブ信号は、データ入力信号と同時にCPU側で作成されるものであり、データストローブ信号とクロック信号とを等長の配線でSDRAMに接続することによって、両者の間のタイミングスキーの問題を回避することができるので、クロック信号の高速化とタイミングスキーの問題とを同時に解決することが可能となる。この場合、データ入力信号をデータストローブ信号によって取り込んだ後、クロック信号による制御に変換する際のタイミングマージンを十分に確保することが必要となるが、これに対しては、例えば、特願平10-140128号等が既に提案されている。

【0010】一方、DDR-SDRAMでは、ライト動作とリード動作とで、内部アドレス信号の動作に大きな違いがあり、リードサイクルでは、コマンド入力によって取り込まれたアドレス信号によって直ちに読み出し動作が行われるのに対し、ライトサイクルにおいては、コマンドによって取り込まれたアドレス入力信号は、一定期間保持されたのち、書き込み動作が行われるようにする必要がある。また、このアドレス保持期間に新たなコマンドが入力された場合には、そのコマンドの種別に応じて、アドレスを選択する必要がある。

【0011】この発明は、上述の事情に鑑みてなされたものであって、DDR-SDRAMにおいて、複数のアドレスの保持と、コマンドの種別に対応するアドレス出力の選択とを、十分な動作マージンをもって行うことが可能な、半導体記憶装置を提供することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、半導体記憶装置に係り、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、上記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、上記制御手段が、読み出しコマンドの入力から第1の期間後に第1の制御信号を発生し、書き込みコマンドの入力から第2の期間後に第2の制御信号を発生するとともに、該第1の制御信号と第2の制御信号とに応じて上記カラム系制御手段に対する動作指示信号を発生し、上記アドレス出力手段が、入力アドレスを前記第1の期間及び第2の期間遅延して、第1の制御信号に応じて第1の期間遅延したアドレスを読み出しアドレスとして出力し、第2の制御信号に応じて第2の期間遅延したアドレスを読み出しアドレスとして出力するように構成されていることを特徴としている。

【0013】また、請求項2記載の発明は、請求項1記載の半導体記憶装置に係り、上記制御手段が、外部コマンドに応じて読み出しコマンドの入力から上記第1の期間後に上記第1の制御信号を発生する第1の信号発生手段と、外部コマンドに応じて書き込みコマンドの入力から上記第2の期間後に上記第2の制御信号を発生する第2の信号発生手段とを備えたことを特徴としている。

【0014】また、請求項3記載の発明は、請求項1又は2記載の半導体記憶装置に係り、上記制御手段が、上記第1の制御信号と第2の制御信号とが衝突する場合に、上記第1の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0015】また、請求項4記載の発明は、請求項1,

2又は3記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスを遅延する1又は複数の遅延手段を備えて入力アドレスを上記第1の期間又は第2の期間遅延し、入力アドレスを第1の期間遅延した遅延手段の出力を上記第1の制御信号によって選択して読み出しアドレスとして出力し、入力アドレスを第2の期間遅延した遅延手段の出力を上記第2の制御信号によって選択して書き込みアドレスとして出力するように構成されていることを特徴としている。

【0016】また、請求項5記載の発明は、請求項1, 2又は3記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスを上記第1又は第2の期間遅延する遅延手段を備え、入力アドレスを第1の期間遅延して第1の制御信号によって選択して読み出しアドレスとして出力し、入力アドレスを第2の期間遅延して第2の制御信号によって選択して書き込みアドレスとして出力するように構成されていることを特徴としている。

【0017】また、請求項6記載の発明は、請求項1乃至5のいずれかに記載の半導体記憶装置に係り、上記第1の期間が0を含む任意のクロック期間であり、上記第2の期間が該第1の期間より所定クロック期間長い任意のクロック期間であることを特徴としている。

【0018】また、請求項7記載の発明は、請求項4, 5, 又は6記載の半導体記憶装置に係り、上記各遅延手段が、1クロック期間信号を保持するレジスタ回路を、0を含む上記第1の期間又は第2の期間に対応する数直列に接続してなることを特徴としている。

【0019】また、請求項8記載の発明は、請求項1又は2記載の半導体記憶装置に係り、上記制御手段が、上記第1の制御信号と第2の制御信号とが衝突する場合に、上記第2の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0020】また、請求項9記載の発明は、請求項1又は2記載の半導体記憶装置に係り、上記制御手段が、上記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、上記第1の制御信号又は第2の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0021】また、請求項10記載の発明は、半導体記憶装置に係り、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、上記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、上記制御手段が、読み出しコマンドの入力から第1の期間後と、書き込みコマンドの入力から第2の期間後とに制御信号を発生

し、読み出しコマンドの入力時と書き込みコマンドの入力時とで符号が反転する選択信号を発生するとともに、該制御信号に応じて上記カラム系制御手段に対する動作指示信号を発生し、上記アドレス入力手段が、入力アドレスを第1の期間及び第2の期間遅延して、上記選択信号に応じて、第1の期間遅延したアドレス又は第2の期間遅延したアドレスを選択して、上記制御信号で定まるタイミングで読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴としている。

【0022】また、請求項11記載の発明は、請求項10記載の半導体記憶装置に係り、上記制御手段が、外部コマンドに応じて読み出しコマンドの入力から上記第1の期間後と、書き込みコマンドの入力から上記第2の期間後とに、上記制御信号を発生する制御信号発生手段と、読み出しコマンドの入力時と書き込みコマンドの入力時とで符号が反転する選択信号を発生する選択信号発生手段とを備えたことを特徴としている。

【0023】また、請求項12記載の発明は、請求項10又は11記載の半導体記憶装置に係り、上記制御手段が、上記読み出しコマンドに応じて発生した制御信号と、書き込みコマンドに応じて発生した制御信号とが衝突する場合に、上記読み出しコマンドに応じて発生した制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0024】また、請求項13記載の発明は、請求項10, 11又は12記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスを遅延する1又は複数の遅延手段を備えて入力アドレスを上記第1の期間又は第2の期間遅延し、入力アドレスを第1の期間遅延した遅延手段の出力と、入力アドレスを第2の期間遅延した遅延手段の出力を上記選択信号に応じて選択した信号を、上記制御信号のタイミングで読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴としている。

【0025】また、請求項14記載の発明は、請求項10, 11又は12記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスを上記第1の期間又は第2の期間遅延する遅延手段を備え、入力アドレスを第1の期間遅延した信号又は入力アドレスを第2の期間遅延した信号を上記制御信号に応じて選択した出力を、上記制御信号のタイミングで読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴としている。

【0026】また、請求項15記載の発明は、請求項10乃至14のいずれかに記載の半導体記憶装置に係り、上記第1の期間が0を含む任意のクロック期間であり、上記第2の期間が第1の期間より所定クロック期間長い任意のクロック期間であることを特徴としている。

【0027】また、請求項16記載の発明は、請求項1

3, 14又は15記載の半導体記憶装置に係り、上記各遅延手段が、1クロック期間信号を保持するレジスタ回路を、0を含む上記第1の期間又は第2の期間に対応する数直列に接続してなることを特徴としている。

【0028】また、請求項17記載の発明は、請求項10又は11記載の半導体記憶装置に係り、上記制御手段が、上記第1の制御信号と第2の制御信号とが衝突する場合に、上記第2の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0029】また、請求項18記載の発明は、請求項10又は11記載の半導体記憶装置に係り、上記制御手段が、上記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、上記第1の制御信号又は第2の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0030】また、請求項19記載の発明は、半導体記憶装置に係り、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、上記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、上記制御手段が、読み出しコマンドの発生時第1の制御信号を発生とともに、該読み出しコマンドの発生から第1の期間後に第2の制御信号を発生し、書き込みコマンドの発生時第3の制御信号を発生とともに、該書き込みコマンドの発生から第2の期間後に第4の制御信号を発生し、該第2の制御信号と第4の制御信号とに応じて上記カラム系制御手段に対する動作指示信号を発生し、上記アドレス出力手段が、第1の制御信号に応じて入力アドレスをラッチして第2の制御信号に応じて読み出しアドレスとして出力し、第3の制御信号に応じて入力アドレスをラッチして第4の制御信号に応じて書き込みアドレスとして出力するように構成されていることを特徴としている。

【0031】また、請求項20記載の発明は、請求項9記載の半導体記憶装置に係り、上記制御手段が、外部コマンドに応じて、読み出しコマンドの入力時、上記第1の制御信号を発生する第1の信号発生手段と、外部コマンドに応じて、該読み出しコマンドの発生時から第1の期間後に上記第2の制御信号を発生する第2の信号発生手段と、外部コマンドに応じて、書き込みコマンドの入力時、上記第3の制御信号を発生する第3の信号発生手段と、外部コマンドに応じて、該書き込みコマンドの発生時から第2の期間後に上記第4の制御信号を発生する第4の信号発生手段とを備えていることを特徴としている。

【0032】また、請求項21記載の発明は、請求項19又は20記載の半導体記憶装置に係り、上記制御手段が、上記第2の制御信号と第4の制御信号とが衝突する場合に、上記第2の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0033】また、請求項22記載の発明は、請求項19, 20又は21記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスを上記第1の制御信号によってラッチして第2の制御信号に応じて読み出しアドレスとして出力する第1の遅延手段と、入力アドレスを上記第3の制御信号に応じてラッチして第4の制御信号に応じて書き込みアドレスとして出力する第2の遅延手段とを備えたことを特徴としている。

【0034】また、請求項23記載の発明は、請求項22記載の半導体記憶装置に係り、上記アドレス出力手段が、上記第1の遅延手段と第2の遅延手段とをそれぞれ1又は複数個備え、任意の遅延手段によって読み出しアドレス及び／又は書き込みアドレスを出力するように構成されていることを特徴としている。

20 【0035】また、請求項24記載の発明は、請求項22記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスをその発生ごとにラッチする上記第1の遅延手段または第2の遅延手段を備え、上記第2の制御信号又は第4の制御信号に応じて、読み出しアドレス又は書き込みアドレスを出力するように構成されていることを特徴としている。

【0036】また、請求項25記載の発明は、請求項19乃至24のいずれかに記載の半導体記憶装置に係り、上記第1の期間が0を含む任意のクロック期間であり、30 上記第2の期間が該第1の期間より長い任意のクロック期間であることを特徴としている。

【0037】また、請求項26記載の発明は、請求項22乃至25のいずれかに記載の半導体記憶装置に係り、上記各遅延手段が、上記第1の制御信号又は第2の制御信号によって入力信号をラッチし又は入力信号をその発生ごとにラッチして、上記第3又は第4の制御信号に応じてラッチした信号を出力するラッチ回路からなることを特徴としている。

【0038】また、請求項27記載の発明は、請求項19又は20記載の半導体記憶装置に係り、上記制御手段が、上記第2の制御信号と第4の制御信号とが衝突する場合に、上記第4の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0039】また、請求項28記載の発明は、請求項19又は20記載の半導体記憶装置に係り、上記制御手段が、上記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、上記第2の制御信号又は第4の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0040】請求項29記載の発明は、半導体記憶装置に係り、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段と、該制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段と、上記制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するカラム系制御手段とを備えた半導体記憶装置において、上記制御手段が、読み出しコマンドの発生時、第1の制御信号を発生するとともに、該読み出しコマンドの発生から第1の期間後に第2の制御信号を発生し、書き込みコマンドの発生時、第3の制御信号を発生するとともに、該書き込みコマンドの発生から第2の期間後に第4の制御信号を発生し、さらに該第2の制御信号及び第4の制御信号の発生時、第5の制御信号を発生し、該第2の制御信号と第4の制御信号とに応じて上記カラム系制御手段に対する動作指示信号を発生し、上記アドレス出力手段が、上記第1の制御信号に応じて入力アドレスをラッチして第2の制御信号に応じて信号保持手段に保持し、第3の制御信号に応じて入力アドレスをラッチして第4の制御信号に応じて上記信号保持手段に保持して、上記第5の制御信号に応じて該信号保持手段に保持されたアドレスを読み出しアドレス又は書き込みアドレスとして出力するように構成されていることを特徴としている。

【0041】また、請求項30記載の発明は、請求項29記載の半導体記憶装置に係り、上記制御手段が、外部コマンドに応じて読み出しコマンドの発生時、上記第1の制御信号を発生する第1の信号発生手段と、外部コマンドに応じて該読み出しコマンドの発生から上記第1の期間後に、上記第2の制御信号を発生する第2の信号発生手段と、外部コマンドに応じて書き込みコマンドの発生時、上記第3の制御信号を発生する第3の信号発生手段と、外部コマンドに応じて該書き込みコマンドの発生から上記第2の期間後に、上記第4の制御信号を発生する第4の信号発生手段と、該第2の制御信号発生時と第4の制御信号発生時とに第5の制御信号を発生する第5の信号発生手段とを備えていることを特徴としている。

【0042】また、請求項31記載の発明は、請求項29又は30記載の半導体記憶装置に係り、上記制御手段が、上記第2の制御信号と第4の制御信号とが衝突する場合に、上記第2の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0043】また、請求項32記載の発明は、請求項29、30又は31記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスを上記第1の制御信号によってラッチして第2の制御信号に応じて出力する第1の遅延手段と、入力アドレスを上記第3の制御信号に応じてラッチして第4の制御信号に応じて出力する第2の遅延手段とを備え、該第1の遅延手段又は第2の遅延

手段からの出力によって、上記第5の制御信号のタイミングで読み出しアドレス又は書き込みアドレスを出力するように構成されていることを特徴としている。

【0044】また、請求項33記載の発明は、請求項32記載の半導体記憶装置に係り、上記アドレス出力手段が、上記第1の遅延手段と第2の遅延手段とをそれぞれ1又は複数個備え、任意の遅延手段の出力によって読み出しアドレス及び/又は書き込みアドレスを出力するように構成されていることを特徴としている。

10 【0045】また、請求項34記載の発明は、請求項32記載の半導体記憶装置に係り、上記アドレス出力手段が、入力アドレスをその発生ごとにラッチする上記第1の遅延手段又は第2の遅延手段とを備え、上記第2の制御信号又は第4の制御信号に応じて、読み出しアドレス又は書き込みアドレスを出力するように構成されていることを特徴としている。

【0046】また、請求項35記載の発明は、請求項29乃至34のいずれかに記載の半導体記憶装置に係り、上記第1の期間が0を含む任意のクロック期間であり、20 上記第2の期間が該第1の期間より所定クロック期間長い任意のクロック期間であることを特徴としている。

【0047】また、請求項36記載の発明は、請求項32乃至35のいずれかに記載の半導体記憶装置に係り、上記各遅延手段が、上記第1の制御信号又は第2の制御信号によって入力信号をラッチし又は入力信号をその発生ごとにラッチして、上記第3の制御信号又は第4の制御信号に応じてラッチした信号を出力するラッチ回路からなることを特徴としている。

【0048】また、請求項37記載の発明は、請求項230 又は30記載の半導体記憶装置に係り、上記制御手段が、上記第2の制御信号と第4の制御信号とが衝突する場合に、上記第4の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0049】また、請求項38記載の発明は、請求項29又は30記載の半導体記憶装置に係り、上記制御手段が、上記読み出し及び書き込みコマンド以外のコマンドに対応して発生した他の制御信号と、上記第2の制御信号又は第4の制御信号とが衝突する場合に、該他の制御信号のみを優先的に出力するように構成されていることを特徴としている。

【0050】

【作用】この発明の構成では、半導体記憶装置において、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段が、書き込みコマンドの入力から第1の期間後に第1の制御信号を発生し、読み出しコマンドの入力から第2の期間後に第2の制御信号を発生するとともに、第1の制御信号と第2の制御信号とに応じてカラム系制御手段に対する動作指示信号を発生し、制御手段からの制御信号50 に応じて外部アドレス入力からメモリ部に対するアドレ

ス出力を発生するアドレス出力手段が、入力アドレスを第1の期間及び第2の期間遅延して、第1の制御信号に応じて第1の期間遅延したアドレスを書き込みアドレスとして出力し、第2の制御信号に応じて第2の期間遅延したアドレスを読み出しアドレスとして出力するとともに、カラム系制御手段が、制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するようにしたので、複数のアドレスの保持と、コマンドの種別に対応したアドレスの選択出力を、十分な動作マージンをもって実行することができるとともに、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定とを行うことができる。

【0051】また、この発明の別の構成では、半導体記憶装置において、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段が、書き込みコマンドの入力から第1の期間後と、読み出しコマンドの入力から第2の期間後とに制御信号を発生し、書き込みコマンドの入力時と読み出しコマンドの入力時とで符号が反転する選択信号を発生するとともに、制御信号に応じてカラム系制御手段に対する動作指示信号を発生し、制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段が、入力アドレスを第1の期間及び第2の期間遅延して、選択信号に応じて、第1の期間遅延したアドレス又は第2の期間遅延したアドレスを選択して、制御信号で定まるタイミングで書き込みアドレス又は読み出しアドレスとして出力するとともに、カラム系制御手段が、制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するようにしたので、複数のアドレスの保持と、コマンドの種別に対応したアドレスの選択出力を、十分な動作マージンをもって、実行することができるとともに、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定とを行うことができる。

【0052】また、この発明のさらに別の構成では、半導体記憶装置において、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段が、書き込みコマンドの発生時、第1の制御信号を発生するとともに、書き込みコマンドの発生から第1の期間後に第2の制御信号を発生し、読み出しコマンドの発生時、第3の制御信号を発生するとともに、読み出しコマンドの発生から第2の期間後に第4の制御信号を発生し、第2の制御信号と第4の制御信号とに応じてカラム系制御手段に対する動作指示信号を発生し、制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレ

ス出力手段が、第1の制御信号に応じて入力アドレスをラッチして、第2の制御信号に応じて書き込みアドレスとして出力し、第3の制御信号に応じて入力アドレスをラッチして、第4の制御信号に応じて読み出しアドレスとして出力するとともに、カラム系制御手段が、制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するようにしたので、複数のアドレスの保持と、コマンドの種別に対応したアドレスの選択出力を、十分な動作マージンをもって、実行することができるとともに、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定とを行うことができ、さらに取り込まれたアドレス入力を任意の順番に並べ替えることができる。

【0053】また、この発明のさらに別の構成では、半導体記憶装置において、外部コマンドに応じてメモリ部の動作とメモリ部に対するアドレス供給とのタイミングを制御する制御手段が、書き込みコマンドの発生時、第1の制御信号を発生するとともに、書き込みコマンドの発生から第1の期間後に第2の制御信号を発生し、読み出しコマンドの発生時、第3の制御信号を発生するとともに、読み出しコマンドの発生から第2の期間後に第4の制御信号を発生し、第2の制御信号と第4の制御信号の発生時、第5の制御信号を発生し、さらに第2の制御信号と第4の制御信号とに応じてカラム系制御手段に対する動作指示信号を発生し、制御手段からの制御信号に応じて外部アドレス入力からメモリ部に対するアドレス出力を発生するアドレス出力手段が、第1の制御信号に応じて入力アドレスをラッチして、第2の制御信号に応じて信号保持手段に保持し、第3の制御信号に応じて入力アドレスをラッチして、第4の制御信号に応じて信号保持手段に保持して、第5の制御信号に応じて信号保持手段に保持されたアドレスを書き込みアドレス又は読み出しアドレスとして出力するとともに、カラム系制御手段が、制御手段からの動作指示に応じてメモリ部に対する書き込み動作制御信号と読み出し動作制御信号との出力を開始するようにしたので、複数のアドレスの保持と、コマンドの種別に対応したアドレスの選択出力を、十分な動作マージンをもって、実行することができるとともに、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定とを行うことができ、さらに、取り込まれたアドレス入力を任意の順番に並べ替えることができる。

【0054】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第1実施例

50 図1は、この発明の第1実施例である半導体記憶装置の

全体的構成を示すブロック図、図2は、同半導体記憶装置のライト時の動作を説明するタイミングチャート、図3は、同半導体記憶装置のリード時の動作を説明するタイミングチャートである。この例の半導体記憶装置は、図1に示すように、メモリセルアレイ1, 2と、ワードドライバ3, 4と、DIN/DOUT回路5A, 6Aと、ライトアンプ7, 8と、センスアンプ9, 10, 11, 12と、カラムデコーダ13, 14と、コマンドデータ15Aと、バーストカウンタ16Aと、カラム系コントロール回路17Aとから概略構成されている。

【0055】この第1実施例の構成が、上述した従来例の構成(図50)と大きく異なるところは、図1に示すように、DIN/DOUT回路5A, 6Aがデータストローブ信号DSの入力を有する点と、コマンドデコーダ15Aが、DDRモード信号MDDDRの入力を有するとともに、アドレス制御信号YAL, YALWの出力を有する点と、カラム系コントロール回路17Aが、DDRモード信号MDDDRの入力を有する点である。これら以外の点では、従来例とほぼ同様であるので、図1においては、図50の構成部分と同一の各部には、同一の符号を付して、その説明を省略し又は簡略化するものとする。

【0056】DIN/DOUT回路5A, 6Aは、データストローブ信号DSのタイミングでデータ入力DQをラッピングしたのち、ラッピングされたデータを、クロック信号のタイミングでラッピングし直して、データ出力RWBS, RWBS*を出力し、又は、データ入力RWBS, RWBS*をクロック信号のタイミングでラッピングしたのち、ラッピングされたデータを、データストローブ信号のタイミングでラッピングし直して、データ出力DQを発生する。コマンドデコーダ15Aは、DDR-SDRAMの場合は、DDRモード信号MDDDRがハイレベルになることによって、外部コマンド信号CSB, RASB, CASB, WEB及びクロック信号CLKに応じて、内部コマンド信号であるリードライトコマンドRWCMD(又は動作指示信号、以下省略)と、アドレス制御信号YAL, YALW, NYALを発生するとともに、データ入出力周期がクロック周期と等しいSDR-SDRAM

(Single Data Rate-Synchronous Dynamic Random Access Memory)の場合は、DDRモード信号MDDDRがローレベルになることによって、図50に示された従来例の場合と同様の動作を行う。

【0057】バーストカウンタ16Aは、例えば8ビットからなるアドレス入力(IA0~IAj)に対して、アドレス制御信号YAL又はYALWによって定まるタイミングでアドレス出力を発生したのち、アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力を発生する処理を、1クロックごとに所定バースト長(例えばワード長)に対応する期間繰り返して行う。カラム系コントロール回路17Aは、DDRモード信号M

DDRと、コマンドデコーダ15AからのリードライトコマンドRWCMDと、バーストカウンタ16Aのアドレス出力とに応じて、DIN/DOUT回路5A, 6Aに対して、書き込み動作制御信号W0, W1又は読み出し動作制御信号R0, R1を出力する。

【0058】次に、図1及び図2を参照して、この例の半導体記憶装置のライト時の動作を説明する。コマンド入力CMDにライトコマンドW CMDが入力されたとき、DIN/DOUT回路5A, 6Aには、クロック信号とのタイミング差を示す規格tDQSSが、所定範囲内になるように、クロック周期でデータストローブ信号DSが入力される。いま、データストローブ信号DSの立ち上がり、立ち下がりに対応して、データ入力DQとしてD0, D1, D2, D3が入力されたとする。このとき、コマンドデコーダ15Aから所定期間(例えばコマンド入力から2クロック)後に、リードライトコマンドRWCMDが出力されるのに応じて、カラム系コントロール回路17Aから書き込み動作制御信号W0, W1が出力される。

【0059】一方、CPUからのアドレスA0~Aj(8ビット)の指定に応じて、アドレス入力IA0~IAjが発生すると、コマンドデコーダ15Aからのアドレス制御信号YALWに応じて、バーストカウンタ16AからアドレスYP0~YPjが出力され、次に、1クロック後にアドレス制御信号NYALに応じて、バーストカウンタ16AからアドレスYP0~YPjに+2したアドレスが出力される。このとき、DIN/DOUT回路5A, 6Aから、書き込み動作制御信号W0, W1に応じて、データ出力RWBS, RWBS*として、偶数番目のデータD0と奇数番目のデータD1が出力され、ライト回路7, 8から書き込み入力IO, IO*として、D0, D1が出力されて、アドレスYP0~YPjによって定まるカラムセレクト線CSL0, CSL1のメモリセルに書き込まれる。さらに、次の書き込み動作制御信号W0, W1に応じて、データ出力RWBS, RWBS*として、データD2, D3が出力され、書き込み入力IO, IO*として、データD2, D3が出力されて、アドレスYP0~YPj(+2)によって定まるカラムセレクト線CSL2, CSL3のメモリセルに書き込まれる。

【0060】次に、図1及び図3を参照して、この例の半導体記憶装置のリード時の動作を説明する。コマンド入力CMDがリードコマンドR CMDであって、CPUからのアドレスA0~Ajの指定に応じて、アドレス入力IA0~IAjが発生すると、コマンドデコーダ15Aからのアドレス制御信号YALに応じて、バーストカウンタ16AからアドレスYP0~YPjが出力され、次に1クロック後にアドレス制御信号NYALに応じて、バーストカウンタ16AからアドレスYP0~YPjに+2したアドレスが出力される。これによって、

アドレス $YPO \sim YPj$ によって定まるカラムセレクト線 $CSLO, CSL1$ から、読み出しデータ IO, IO^* としてデータ $Q0, Q1$ が出力され、アドレス $YPO \sim YPj$ (+2) によって定まるカラムセレクト線 $CSL2, CSL3$ からデータ $Q2, Q3$ が出力される。

【0061】一方、カラムコントロール回路 $17A$ は、リードライトコマンド $RWCMD$ に応じて、読み出し動作制御信号 $R0, R1$ を1クロックごとに出力し、これによって、読み出しデータ RWB_S, RWB_S^* として、データ $Q0, Q1$ 及び $Q2, Q3$ が出力されるので、 $DIN/DOUT$ 回路 $5A, 6A$ は、出力指定タイミングである2.5クロック後($CLT = 2.5$)に出力される、タイミング信号 DQS の立ち上がりと立ち下がりに対応して、読み出しデータ DQ として、 $Q0, Q1, Q2, Q3$ を出力する。

【0062】次に、図4乃至図9を参照して、この例におけるコマンドデコーダ $15A$ の構成例とその動作について説明する。図4は、コマンドデコーダの構成例

(1)を示し、(a)は回路構成図、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図4(a)に示すように、コマンドラッチ回路 CML と、アンド回路 $AL1, AL2, AL3, AL4, AL5$ と、オア回路 $OL1$ と、フリップフロップ $FF1, FF2$ と、遅延素子 $DL1, DL2$ とから構成されている。

【0063】コマンドラッチ回路 CML は、半導体記憶装置の外部コマンド信号 CSB (コマンドセレクトバー), $RASB$ (ラスバー), $CASB$ (カスバー), WEB (ライトイネーブルバー)を受けて、クロック CLK に同期してデコードして、内部コマンド信号 CS (コマンドセレクト), RAS (ラス), CAS (カス) WE (ライトイネーブル)を出力する。アンド回路 $AL1$ は、コマンド信号 CS によってコマンド選択を指示され、コマンド信号 RAS によってロードアドレス選択を指示されず、コマンド信号 CAS によってカラムアドレス選択が指示されたとき、出力がハイレベルになるので、コマンド信号 WE がハイレベルのとき(データ書き込み時)、アンド回路 $AL3$ の出力 B がハイレベルになり、コマンド信号 WE がロウレベルのとき(データ読み出し時)、アンド回路 $AL2$ の出力 A がハイレベルになる。

【0064】これによって、アンド回路 $AL4$ から直ちにアドレス制御信号 YAL が出力され、フリップフロップ $FF1, FF2$ を経て、2クロック($DDRAM$ の規格に対応する)遅れて、アンド回路 $AL5$ からアドレス制御信号 $YALW$ が出力されるとともに、オア回路 $OL1$ を経て、アドレス制御信号 $YAL, YALW$ に同期してリードライトコマンド $RWCMD$ が出力される。この際、アドレス制御信号 $YAL, YALW$ は、遅延素子 $DL1$ によってクロック信号 CLK を遅延させることによって、リードライトコマンド $RWCMD$ の立ち

上がりに対応する1ショットパルスとなる。

【0065】図4(b)は、この例のコマンドデコーダの動作例を示している。ライトコマンド W の入力によって、出力 B が発生し、2クロック遅れて出力 D が発生して、オア回路 $OL1$ を経てリードライトコマンド $RWCMD$ が出力されるとともに、アドレス制御信号 $YALW$ が出力される。また、リードコマンド R の出力によって、出力 A が発生し、直ちにリードライトコマンド $RWCMD$ が出力されるとともに、アドレス制御信号 YAL が出力される。

【0066】図5は、コマンドデコーダの構成例(2)を示し、(a)は回路構成図、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図5(a)に示すように、コマンドラッチ回路 CML と、アンド回路 $AL1, AL2, AL3, AL4, AL5, AL6$ と、オア回路 $OL1$ と、フリップフロップ $FF1, FF2$ と、遅延素子 $DL1, DL2$ とから構成されている。

【0067】この例のコマンドデコーダは、図4に示されたコマンドデコーダと比べて、アンド回路 $AL2$ の出力 A と、出力 A を遅延素子 $DL2$ を経て遅延した信号とによる、アンド回路 $AL6$ の出力 C を、フリップフロップ $FF2$ のリセット入力 R に接続した点が異なっている。これによって、ライトコマンドの入力から2クロック以内にリードコマンドが入力されたときは、アンド回路 $AL2$ の出力 A とフリップフロップ $FF2$ の出力 D とが同時にハイレベルになって、アドレス制御信号 $YAL, YALW$ が同時に出力されることはない。図5の構成では、このような場合、アドレス制御信号 YAL が出力されて、リードコマンドによるデータの読み出しが優先的に行われるが、アドレス制御信号 $YALW$ は出力されず、ライトコマンドによる書き込み動作が行われないので、読み出しアドレスと書き込みアドレスとの衝突による、データの破壊が防止される。

【0068】図6は、コマンドデコーダの構成例(3)を示し、(a)は回路構成図、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図6(a)に示すように、コマンドラッチ回路 CML と、アンド回路 $AL1, AL2, AL3, AL4, AL5, AL6, AL7$ と、オア回路 $OL1$ と、フリップフロップ $FF1$ と、遅延素子 $DL1, DL2$ とから構成されている。

【0069】この例のコマンドデコーダは、図5に示されたコマンドデコーダと異なり、コマンドラッチ回路 CML のコマンド信号 WE がハイレベルで、 $DDR-SDRAM$ 時のモードを指定する外部コマンド信号 $MDRD$ がハイレベルのとき、アンド回路 $AL7$ の出力がハイレベルになることによって、リードコマンドによるアドレス制御信号 YAL の出力は直ちに行われるが、ライトコマンドによるアドレス制御信号 $YALW$ の出力が遅れ

て行われる、DDR-SDRAM対応の動作が行われる。この例では、フリップフロップが1段なので、DDR-SDRAM対応の動作時、ライトコマンドによるアドレス制御信号YALWの出力が、1クロック遅れて行われる。

【0070】図6(b)は、この例のコマンドデコーダの動作例を示している。ライトコマンドWの入力によって、出力Bが発生し、1クロック遅れて出力Dが発生して、オア回路OL1を経てリードライトコマンドRWCMDが出力されるとともに、アドレス制御信号YALWが出力される。また、リードコマンドRの入力によって、出力Aが発生し、オア回路OL1を経てリードライトコマンドRWCMDが出力されるとともに、アドレス制御信号YALが発生される。ライトコマンドWから1クロック後にリードコマンドRが入力されたときは、出力Bに続いて出力Aが発生するが、出力Cの発生によってフリップフロップFF1がリセットされるので、出力Dは発生せず、従って、ライトコマンドWに基づいてリードライトコマンドRWCMDとアドレス制御信号YALWは出力されない。一方、リードコマンドRによる出力Aに基づいて、リードライトコマンドRWCMDとアドレス制御信号YALが発生される。

【0071】図7は、コマンドデコーダの構成例(4)を示し、(a)は回路構成図、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図7(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL1, AL2, AL3, AL4, AL5, AL6, AL7と、オア回路OL1と、フリップフロップFF1, FF2と、遅延素子DL1, DL2とから構成されている。

【0072】この例のコマンドデコーダは、図6に示されたコマンドデコーダと比べて、フリップフロップが2段なので、DDR-SDRAM対応の動作時、ライトコマンドによるリードライトコマンドRWCMDとアドレス制御信号YALWの出力が、2クロック遅れて行われる。また、ライトコマンドWから2クロック後又は1クロック後にリードコマンドRが入力されたときは、ライトコマンドWに基づいてリードライトコマンドRWCMDとアドレス制御信号YALWは出力されないが、リードコマンドRに基づいてリードライトコマンドRWCMDとアドレス制御信号YALが発生される。

【0073】図8は、コマンドデコーダの構成例(5)を示し、(a)は回路構成図、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図8(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL1, AL2, AL3, AL4, AL5, AL6, AL7と、オア回路OL1と、n(nは任意の自然数)段のフリップフロップFF1, …, FFnと、遅延素子DL1, DL2とから構成されている。

【0074】この例のコマンドデコーダは、図7に示さ

れたコマンドデコーダと比べて、フリップフロップが任意のn段なので、DDR-SDRAM対応の動作時、ライトコマンドによるリードライトコマンドRWCMDとアドレス制御信号YALWの出力が、n(図中ではn=3)クロック遅れて行われる。この場合も、ライトコマンドWから2クロック後又は1クロック後にリードコマンドRが入力されたときは、ライトコマンドWに基づいてリードライトコマンドRWCMDとアドレス制御信号YALWは出力されないが、リードコマンドRに基づいてリードライトコマンドRWCMDとアドレス制御信号YALが発生される。なお、入力されたコマンドの順番に対して、リードコマンド、ライトコマンドに対応するアドレス制御信号YAL, YALWの出力順番を入れ替えることを望まない仕様の場合には、図示したフリップフロップFF1, …, FFnのすべてにリセット信号を入力することによって、リードライトコマンドRWCMDの出力とアドレスの出力とをインターラプトすることができる。また、DDR-SDRAMの仕様のように、"連続したコマンドが入力された場合に、後から入力されたコマンドによって、先に入力されたライトコマンド又はリードコマンドをインターラプトする"ときは、フリップフロップFF1, …, FFnのすべてにリセット信号を入力することによって、上述の仕様をみたすことができる。

【0075】図9は、コマンドデコーダの構成例(6)を示し、(a)は回路構成図、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図9(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL1, AL2, AL3, AL4, AL5, AL6, AL7, AL8と、オア回路OL1と、フリップフロップFF1, FF2, FF3と、遅延素子DL1, DL2, DL3とから構成されている。

【0076】この例のコマンドデコーダは、図7に示されたコマンドデコーダと比べて、アンド回路AL2の出力Aとオア回路OL1の入力間に、フリップフロップFF3を有し、アンド回路AL3の出力Bから遅延素子DL3, アンド回路AL8を経て、フリップフロップFF3のリセット入力Rを供給するように構成されている点が異なっている。これによって、単独のライトコマンド入力時には、2クロック遅れてリードライトコマンドRWCMDとアドレス制御信号YALWが発生されるとともに、単独のリードコマンド入力時にも、1クロック遅れてリードライトコマンドRWCMDとアドレス制御信号YALが発生される。

【0077】この場合は、ライトコマンドから3クロック以上後に、リードコマンドが入力されても、ライトコマンドによってアドレス制御信号YALWが発生され、ライトコマンドによるデータの書き込みが行われるが、ライトコマンドから2クロック以内後にリードコマンドが入力されたときは、アンド回路AL6の出力Cに

よってフリップフロップFF2がリセットされるので、リードコマンドが優先される。しかしながら、リードコマンドの入力から1クロック以内にライトコマンドが入力されたときは、アンド回路AL8の出力によって、フリップフロップFF3がリセットされるので、アドレス制御信号YALが発生せず、従ってリードコマンドによるデータの読み出しが行われない。一方、ライトコマンドから1クロック後にリードコマンドが入力されたが、その後ライトコマンドが入力されなかったときは、リードコマンドによってアドレス制御信号YALが出力され、リードコマンドによるデータの読み出しが行われる。

【0078】次に、この例におけるバーストカウンタ16Aの構成例とその動作について説明する。図10は、バーストカウンタ中におけるアドレスセレクタ回路の構成例を示す図、図11、図12は、バーストカウンタの構成例を示す図、図13、図14、図15、図16、図17、図18は、同バーストカウンタの動作例を示すタイミングチャートである。

【0079】図10において、(a)はアドレスセレクタ回路の原理的構成を示したものであって、スイッチSW11、SW12からなる構成が示されている。この例の構成では、アドレス制御信号YAL又はYALWの入力に応じてオン、オフを制御されるスイッチSW11、SW12が、アドレス制御信号YAL又はYALWがハイレベルになったとき、対応する入力I1又はI2を出力する。

【0080】図10(b)はアドレスセレクタ回路の具体的構成例(1)を示したものであって、ゲート回路G11、G12と、インバータINV11、INV12とを備えたセレクタ回路SELと、バーストカウンタ回路BCとからなる構成が示されている。この例の構成では、アドレス制御信号YAL又はYALWの入力に応じてオン、オフを制御される、切り替えゲート回路G11とインバータINV11及び切り替えゲート回路G12とインバータINV12によって、アドレス制御信号YAL又はYALWがハイレベルになったとき、対応する入力I1又はI2を、バーストカウンタ回路BCに出力し、これによって、バーストカウンタ回路BCは、アドレス出力の動作を開始する。

【0081】図10(c)はアドレスセレクタ回路の具体的構成例(2)を示したものであって、 NAND回路NA11、NA12、NA13からなる構成が示されている。この例の構成では、アドレス制御信号YALと入力I1又はYALWと入力I2がハイレベルになったとき、 NAND回路NA11又はNA12の出力がロウレベルになり、 NAND回路NA11、NA12のいずれか一方または両方の出力がロウレベルになったとき、 NAND回路NA13の出力がハイレベルになることによって、アドレス制御信号YAL又はYALWに対応して入力I

I又はI2が出力される。

【0082】図11において、(a)、(b)、(c)は、それぞれバーストカウンタの構成例を示している。図11(a)に示された例は、入力バッファBUFと、レジスタ回路REG11、REG12と、アドレスセレクタ回路AS1と、バーストカウンタ回路BC1とから構成されている。レジスタ回路REG11、REG12は、入力バッファBUFからのアドレス入力IAjを、クロック信号μに応じて、1クロックずつ遅延して出力する。アドレスセレクタ回路AS1は、アドレス制御信号YAL又はYALWに応じて、入力バッファBUFの出力又はレジスタ回路REG12の出力を選択して、バーストカウンタ回路BC1に入力する。これによって、バーストカウンタ回路BC1は、アドレス制御信号YALに応じてアドレス入力IAjの入力後直ちに、又はアドレス制御信号YALWに応じてアドレス入力IAjの入力から2クロック後にアドレスを出力して、バーストカウンタ回路BC1のアドレス出力YPj発生の動作を開始させる。

【0083】図11(b)に示された例は、入力バッファBUFと、レジスタ回路REG11と、アドレスセレクタ回路AS1と、バーストカウンタ回路BC1とから構成されている。この例では、図11(a)に示された例と比べて、レジスタ回路が1段少ないので、アドレスセレクタ回路AS1は、アドレス制御信号YALに応じてアドレス入力IAjの入力後直ちに、又はアドレス制御信号YALWに応じてアドレス入力IAjの入力から1クロック後に、バーストカウンタ回路BC1のアドレス出力YPj発生の動作を開始させる。

【0084】図11(c)に示された例は、入力バッファBUFと、レジスタ回路REG11、REG12、REG13と、アドレスセレクタ回路AS1と、バーストカウンタ回路BC1とから構成されている。この例では、図11(a)に示された例と比べて、レジスタ回路REG13を有しているので、アドレスセレクタ回路AS1は、アドレス制御信号YALに応じてアドレス入力IAjの入力から1クロック遅れて、又はアドレス制御信号YALWに応じてアドレス入力IAjの入力から2クロック後に、バーストカウンタ回路BC1のアドレス出力YPj発生の動作を開始させる。

【0085】図12において、(a)、(b)、(c)は、それぞれバーストカウンタの構成例を示している。図12(a)に示された例は、入力バッファBUFと、レジスタ回路REG1、REG12と、アドレスセレクタ回路AS1と、バーストカウンタ回路BC1とから構成されている。この例では、レジスタ回路REG11の出力とレジスタ回路REG12の出力とを、アドレスセレクタ回路ASの入力としているので、アドレスセレクタ回路AS1は、アドレス制御信号YALに応じてアドレス入力IAjの入力から1クロック遅れて、又はアド

レス制御信号YALWに応じてアドレス入力IAjの入力から2クロック後に、バーストカウンタ回路BC1のアドレス出力YPj発生の動作を開始させる。

【0086】図12(b)に示された例は、入力バッファBUFと、m(mは任意の自然数)段のレジスタ回路REG111, …, REG11m及びn(nは任意の自然数)段のレジスタ回路REG121, …, REG12nと、アドレスセレクタ回路AS1と、バーストカウンタ回路BC1とから構成されている。この例では、レジスタ回路REG111, …, REG11mは、入力バッファBUFの出力をmクロック遅延させ、レジスタ回路REG121, …, REG12nは、入力バッファBUFの出力をnクロック遅延させる。アドレスセレクタ回路AS1は、アドレス制御信号YALに応じてレジスタ回路REG11mの出力を選択することによって、アドレス入力IAjの入力からmクロック遅れてバーストカウンタ回路BC1の動作を開始させ、又は、アドレス制御信号YALWに応じてレジスタ回路REG12nの出力を選択することによって、アドレス入力IAjの入力からnクロック遅れて、バーストカウンタ回路BC1のアドレス出力YPj発生の動作を開始させる。

【0087】図12(c)に示された例は、入力バッファBUFと、m(mは任意の自然数)段のレジスタ回路REG111, …, REG11mと、n(nは任意の自然数)段のレジスタ回路REG121, …, REG12nと、p(pは任意の自然数)段のレジスタ回路REG131, …, REG13pと、以下図示されない任意の複数行の任意の複数段のレジスタ回路と、アドレスセレクタ回路AS1と、バーストカウンタ回路BC1とから構成されている。この例の構成では、レジスタ回路REG111, …, REG11mは、入力バッファBUFの出力をmクロック遅延させ、レジスタ回路REG121, …, REG12nは、入力バッファBUFの出力をnクロック遅延させ、レジスタ回路REG131, …, REG13pは、入力バッファBUFの出力をpクロック遅延させ、以下、図示されない複数行のレジスタ回路は、それぞれ入力バッファBUFの出力を複数クロック遅延させる。アドレスセレクタ回路AS1は、アドレス制御信号YALに応じて、いずれかのレジスタ回路列の出力、例えばレジスタ回路REG11mの出力を選択することによって、アドレス入力IAjの入力からmクロック遅れて、又は、アドレス制御信号YALWに応じて、他のいずれかのレジスタ回路列の出力、例えばレジスタ回路REG13pの出力を選択することによって、アドレス入力IAjの入力からpクロック遅れて、バーストカウンタ回路BC1のアドレス出力YPj発生の動作を開始させる。

【0088】次に、図13乃至図18を用いて、この例のバーストカウンタの動作を説明する。なお、以下に示す各実施例における、バーストカウンタのタイミングチ

ャートにおいては、コマンドから次のコマンドまでのクロック数をnとし、第1のコマンドに対応してアドレスIA1が入力され、第2のコマンドに対応してアドレスIA2が入力されたものとする。

【0089】図13において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図13(a)においては、n=3であって、第1及び第2のコマンドCMDに対応して、アドレスIA1, IA2が入力されたとき、第1のコマンド入力から2クロック後に、アドレス制御信号YALWが outputされ、第2のコマンド入力後直ちに、アドレス制御信号YALが outputされて、これによってアドレスバスにアドレスIA1, IA2が outputされたことが示されている。

【0090】図13(b)においては、n=2であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALとの発生タイミングが衝突したので、第2のコマンドによるアドレス制御信号YALが優先して出力され、これによって、アドレスバスにアドレスIA2が outputされたことが示されている。

【0091】図13(c)においては、n=2であって、第1のコマンドに基づくアドレス制御信号YALと、第2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0092】図14において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図14(a)においては、n=2であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALWとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0093】図14(b)においては、n=1であって、第1のコマンドに基づくアドレス制御信号YALと、第2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0094】図14(c)においては、n=1であって、第2のコマンドに基づくアドレス制御信号YALと、第1のコマンドに基づくアドレス制御信号YALWとが順次発生して、これによって、アドレスバスにアドレスIA2とIA1が順次出力されたことが示されている。

【0095】図15において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図15(a)においては、

$n = 2$ であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0096】図15 (b)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALとの発生タイミングが衝突したので、第2のコマンドによるアドレス制御信号YALが優先して出力され、これによってアドレスバスにアドレスIA2が出力されたことが示されている。

【0097】図15 (c)においては、 $n = 2$ であって、第1のコマンドに基づくアドレス制御信号YALと、第2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0098】図16において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図16 (a)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALWとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0099】図16 (b)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALとの発生タイミングが衝突したので、第1のコマンドによるアドレス制御信号YALWが優先して出力され、これによってアドレスバスにアドレスIA1が出力されたことが示されている。

【0100】図16 (c)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALと、第2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0101】図17において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図17 (a)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALとの発生タイミングが衝突したので、第2のコマンドによるアドレス制御信号YALが優先して出力され、これによってアドレスバスにアドレスIA2が出力されたことが示されている。

【0102】図17 (b)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALW

と、第2のコマンドに基づくアドレス制御信号YALとの発生タイミングが衝突したので、第1のコマンドによるアドレス制御信号YALWが優先して出力され、これによってアドレスバスにアドレスIA1が出力されたことが示されている。

【0103】図17 (c)においては、 $n = 2$ であって、第1のコマンドに基づくアドレス制御信号YALと、2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0104】図18において、(a), (b)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図18 (a)においては、 $n = 2$ であって、第1のコマンドに基づくアドレス制御信号YALWと、第2のコマンドに基づくアドレス制御信号YALWとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0105】図18 (b)においては、 $n = 1$ であって、第1のコマンドに基づくアドレス制御信号YALと、第2のコマンドに基づくアドレス制御信号YALとが順次発生して、これによって、アドレスバスにアドレスIA1とIA2が順次出力されたことが示されている。

【0106】このように、この例の半導体記憶装置によれば、複数のアドレスの保持と、コマンドの種別に対応したアドレス選択出力を、十分な動作マージンをもって行うことができる。また、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定を行うことができる。

【0107】◇第2実施例

図19は、この発明の第2実施例である半導体記憶装置の全体構成を示すブロック図である。この例の半導体記憶装置は、図19に示すように、メモリセルアレイ1, 2と、ワードドライバ3, 4と、DIN/DOUT回路5A, 6Aと、ライトアンプ7, 8と、センスアンプ9, 10, 11, 12と、カラムデコーダ13, 14と、コマンドデコーダ15Bと、バーストカウンタ16Bと、カラム系コントロール回路17Aとから概略構成されている。

【0108】この第2実施例の構成が、上述した第1実施例の構成(図1)と大きく異なるところは、図19に示すように、コマンドデコーダ15Bが、アドレス制御信号YALWの出力を有しない代わりに、アドレス選択信号IASWの出力を有する点と、バーストカウンタ16Bが、アドレス制御信号YAL, YALWによる出力タイミング制御に代えて、アドレス制御信号YALによるアドレス出力タイミング制御と、アドレス選択信号IASWによるアドレス種別選択の制御とを行われる点で

ある。これら以外の点では、第1実施例とほぼ同様であるので、図19においては、図1の構成部分と同一の各部には、同一の符号を付して示すとともに、以下において、その説明を省略し、または簡略化するものとする。

【0109】コマンドデコーダ15Bは、DDR-SDRAMの場合は、DDRモード信号MDDDRがハイレベルになることによって、外部コマンド信号CSB, RASB, CASB, WEB及びクロック信号CLKに応じて、内部コマンド信号であるリードライトコマンドRWCMDと、アドレス制御信号YAL, NYALを発生するとともに、アドレス種別を示すアドレス選択信号IASWを発生する。バーストカウンタ16Bは、アドレス入力IA0～IAjに対して、アドレス制御信号YALによって定まるタイミングで、アドレス選択信号IASWで定まる種別のアドレス出力を発生したのち、アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力を発生する処理を、所定バースト長に対応する期間、繰り返して行う。

【0110】次に、この例におけるコマンドデコーダ15Bの構成例とその動作について説明する。図20は、コマンドデコーダの構成例(1)を示し、(a)は回路構成例、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図20(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL11, AL12, AL13, AL14, AL15, AL16と、オア回路OL11, OL12と、フリップフロップFF11と、遅延素子DL11, DL12と、ゲート回路GL1と、ラッチ回路LC11とから構成されている。

【0111】コマンドラッチ回路CMLは、半導体記憶装置の外部コマンド信号CSB, RASB, CASB, WEBを受けて、クロックCLKに同期してデコードして、内部コマンド信号CS, RAS, CAS, WEを出力する。外部コマンド信号MDDDRがハイレベルのとき、アンド回路AL11の出力は、コマンド信号WEがハイレベルのとき(データ書き込み時)ハイレベルとなり、コマンド信号WEがロウレベルのとき(データ読み出し時)ロウレベルとなる。アンド回路AL12は、コマンド信号CSによってコマンド選択を指示され、コマンド信号RASによってロードアドレス選択を指示されず、コマンド信号CASによってカラムアドレス選択が指示されたとき、出力がハイレベルになるので、データ書き込み時は、アンド回路AL14の出力Bがハイレベルになり、データ読み出し時は、アンド回路AL13の出力Aがハイレベルになる。

【0112】これによってアンド回路AL13からオア回路OL11を経て直ちに、リードライトコマンドRWCMDが発生するとともに、アンド回路AL14からフリップフロップFF11を経て1クロック遅れて発生する出力Dによっても、リードライトコマンドRWCMDが発生される。さらに、オア回路OL11の出力と、

クロック信号CLKとの一致をとつて、アンド回路AL16からアドレス制御信号YALが発出される。この際、アドレス制御信号YALは、クロック信号CLKを遅延素子DL11を経て遅延させることによって、リードライトコマンドRWCMDの立ち上がりに対応する1ショットパルスとなる。

【0113】このとき、アンド回路AL13の出力Aと、出力Aを遅延素子DL11を経て遅延した信号とによる、アンド回路AL15の出力Cを、フリップフロップFF11のリセット入力Rに接続することによって、オア回路OL11の2つの入力が同時に発生したときは、フリップフロップFF11をリセットして、出力Bに基づいてリードライトコマンドRWCMDが発生しないようにして、出力Aに基づくリードライトコマンドRWCMDの発生が優先するようにしている。一方、出力Aと出力Bとをオア回路OL12を経てゲート回路GL1に入力するとともに、出力Bのオン又はオフに応じてゲート回路GL1をオンまたはオフに制御し、ゲート回路GL1の出力をラッチ回路LC11でラッピングしてアドレス選択信号IASWを出力するので、アドレス選択信号IASWは、データ書き込み時ハイレベルとなり、データ読み出し時ロウレベルとなる。

【0114】図20(b)は、この例のコマンドデコーダの動作例を示している。ライトコマンドWの入力によって、出力Bが発生し、1クロック遅れて出力Dが発生して、オア回路OL11を経てリードライトコマンドRWCMDが発出されるとともに、アドレス制御信号YALが発出される。このとき、アドレス選択信号IASWはハイレベルであって、アドレス制御信号YALがライトコマンドに基づくものであることを示す。また、リードコマンドRの入力によって、出力Aが発生し、オア回路OL11を経てリードライトコマンドRWCMDが発出されるとともに、アドレス制御信号YALが発出される。このとき、アドレス選択信号IASWはロウレベルであって、アドレス制御信号YALがリードコマンドに基づくものであることを示す。ライトコマンドWから1クロック遅れてリードコマンドRが入力されたときは、出力Bに続いて出力Aが発生するが、出力Cの発生によってフリップフロップFF11がリセットされるので、出力Dは発生せず、出力Aに基づいてリードライトコマンドRWCMDが発出されるとともに、アドレス制御信号YALが発出される。このとき、アドレス選択信号IASWはロウレベルであって、アドレス制御信号YALがリードコマンドに基づくものであることを示す。

【0115】図21は、コマンドデコーダの構成例(2)を示し、(a)は回路構成例、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図21(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL11, AL12, AL13, AL14, AL15, AL16と、オア回路OL11, OL12と、

2と、フリップフロップFF11, FF12と、遅延素子DL11, DL12と、ゲート回路GL11と、ラッチ回路LC11とから構成されている。

【0116】この例のコマンドデコーダは、図20に示されたコマンドデコーダと比べて、フリップフロップが1段多いので、DDR-SDRAM対応の動作時、ライトコマンドによるリードライトコマンドRWCMDとアドレス制御信号YALの出力が、2クロック遅れる。この場合は、ライトコマンドWから2クロック遅れてリードコマンドRが入力されたときと、ライトコマンドWから1クロック遅れてリードコマンドRが入力されたときに、出力Cの発生によってフリップフロップFF11がリセットされるので、出力Dは発生せず、出力Aに基づいてリードライトコマンドRWCMDが出力されるとともに、アドレス制御信号YALが出力される。このとき、アドレス選択信号IASWはロウレベルであって、アドレス制御信号YALがリードコマンドに基づくものであることを示す。

【0117】図22は、コマンドデコーダの構成例

(3)を示し、(a)は回路構成例、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図22(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL11, AL12, AL13, AL14, AL15, AL16と、オア回路OL11, OL12と、n(nは任意の自然数)段のフリップフロップFF11, …, FF1nと、遅延素子DL11, DL12と、ゲート回路GL11と、ラッチ回路LC11とから構成されている。

【0118】この例のコマンドデコーダは、図20に示されたコマンドデコーダと比べて、フリップフロップが任意のn段なので、DDR-SDRAM対応の動作時、ライトコマンドによるリードライトコマンドRWCMDとアドレス制御信号YALの出力が、n(図中ではn=3)クロック遅れる。この場合も、ライトコマンドWから2クロック遅れてリードコマンドRが入力されたときと、ライトコマンドWから1クロック遅れてリードコマンドRが入力されたときに、出力Cの発生によってフリップフロップFF1nがリセットされるので、出力Dは発生せず、出力Aに基づいてリードライトコマンドRWCMDが出力されるとともに、アドレス制御信号YALが出力される。このとき、アドレス選択信号IASWはロウレベルであって、アドレス制御信号YALがリードコマンドに基づくものであることを示す。図22(a)に示すように、アドレス選択信号IASWは節点A及びBから生成され、フリップフロップFF11, …, FF1nによるリードライトコマンドRWCMDの遅延情報を含まない。このような場合でも、コマンドに対するアドレスの出力順序の入れ替えを望むときは、節点A, Bのかわりに、オア回路OL11の2つの入力信号からアドレス選択信号IASWを生成する。さらに、後から入

力されたリードコマンドによって、先に入力されたライトコマンドを完全にインターラプトする仕様の場合も、フリップフロップFF11, …, FF1nのすべてにリセット信号を入力する。図示されない、リードコマンド、ライトコマンド以外のコマンドが入力されたとき、先に入力されたリードコマンド、ライトコマンドをインターラプトする仕様の場合は、フリップフロップFF11, …, FF1nのすべてに、上述のコマンドから生成したリセット信号に対して節点Cと論理和をとって入力することによって、実現することができる。

【0119】図23は、コマンドデコーダの構成例

(4)を示し、(a)は回路構成例、(b)は動作タイミングチャートである。この例のコマンドデコーダは、図23(a)に示すように、コマンドラッチ回路CMLと、アンド回路AL11, AL12, AL13, AL14, AL15, AL16, AL17と、オア回路OL11, OL12と、フリップフロップFF11, FF12, FF13と、遅延素子DL11, DL12, DL3と、ゲート回路GL11と、ラッチ回路LC11とから構成されている。

【0120】この例のコマンドデコーダは、図21に示されたコマンドデコーダと比べて、アンド回路AL13の出力Aとオア回路OL11の入力間に、フリップフロップFF13を有し、アンド回路AL14の出力Bから遅延素子DL13, アンド回路AL17を経て、フリップフロップFF13のリセット入力Rを供給するように構成されている点が異なっている。これによって、ライトコマンド入力時には2クロック遅れてリードライトRWCMDとアドレス制御信号YALが出力されるとともに、リードコマンド入力時には、1クロック遅れてリードライトRWCMDとアドレス制御信号YALが出力される。また、ライトコマンドWから2クロック遅れてリードコマンドRが入力されたときと、ライトコマンドWから1クロック遅れてリードコマンドRが入力されたときに、出力Cの発生によってフリップフロップFF12がリセットされるので、ライトコマンドに基づくリードライトコマンドRWCMDとアドレス制御信号YALが出力されない。さらにリードコマンドRから1クロック遅れてライトコマンドWが入力されたときは、アンド回路AL17の出力によってフリップフロップFF13がリセットされるので、リードコマンドに基づくリードライトコマンドRWCMDとアドレス制御信号YALが出力されない。

【0121】次に、この例におけるバーストカウンタ16Bの構成例とその動作について説明する。図24は、バーストカウンタ中におけるレジスタ回路とセレクタ回路の構成例を示す図、図25, 図26は、バーストカウンタの構成例を示す図、図27, 図28, 図29, 図30は、同バーストカウンタの動作例を示すタイミングチャートである。

【0122】図24 (a) は、レジスタ回路の原理的構成を示すものであって、スイッチSW1, SW2と、ラッチ回路LC21, LC22と、インバータINV21とからなる構成が示されている。この例のレジスタ回路では、クロック ϕ がハイレベルのとき、スイッチSW21がオン、スイッチSW22がオフになって、入力INの状態を取り込んでラッチLC21にラッチし、次に、クロック ϕ がロウレベルのとき、スイッチSW21がオフ、スイッチSW22がオンになって、ラッチLC21の状態をラッチLC22にラッチして、出力OUTを発生することによって、入力INの状態を1クロック期間保持する。

【0123】図24 (b) は、レジスタ回路の具体的構成例を示すものであって、ゲート回路G21, G22と、ラッチ回路LC23, LC24と、インバータINV21とからなる構成が示されている。この例のレジスタ回路では、クロック ϕ がハイレベルになったとき、ゲート回路G21がオン、ゲート回路G22がオフになって、入力INの状態を取り込んでラッチLC23にラッチし、次に、クロック ϕ がロウレベルになったとき、ゲート回路G21がオフ、ゲート回路G22がオンになって、ラッチLC23の状態をラッチLC24にラッチして、出力OUTを発生することによって、入力INの状態を1クロック期間保持する。

【0124】図24 (c) は、セレクタ回路の原理的構成を示すものであって、スイッチSW23, SW24からなる構成が示されている。この例のセレクタ回路では、クロック ϕ がハイレベルのとき、スイッチSW23がオン、スイッチSW24がオフになって、入力I1を出力し、次に、クロック ϕ がロウレベルのとき、スイッチSW23がオフ、スイッチSW24がオンになって、入力I2を出力することによって、入力I1とI2とを切り替えて出力する。

【0125】図24 (d) は、セレクタ回路とバーストカウンタ回路の具体的構成例を示すものであって、ゲート回路G23, G24とインバータINV24を備えたセレクタ回路SELと、ゲート回路G25と、インバータINV25と、バーストカウント論理回路BCLとを備えたバーストカウンタ回路BCとからなる構成が示されている。この例の構成では、セレクタ回路SELにおいて、アドレス選択信号IASWがハイレベルのとき、ゲート回路G23がオン、ゲート回路G24がオフになって、入力I1が選択され、アドレス選択信号IASWがロウレベルのとき、ゲート回路G23がオフ、ゲート回路G24がオンになって、入力I2が選択されて、アドレスカウンタ回路BCにおいて、アドレス制御信号YALがハイレベルのとき、バーストカウント論理回路BCLに入力され、これによってバーストカウンタ論理回路BCLにおいて、アドレス出力発生の動作が開始される。

【0126】図24 (e) は、セレクタ回路の他の具体的構成例を示すものであって、 NAND回路NA21, NA22, NA23と、インバータINV26とからなるセレクタ回路SELの構成が示されている。この例の構成では、セレクタ回路SELにおいて、アドレス選択信号IASWがハイレベルのとき、 NAND回路NA21が入力I1を出力し、アドレス選択信号IASWがロウレベルのとき、 NAND回路NA22が入力I2を出力し、 NAND回路NA23を経て、ハイレベルの信号として出力されることが示されている。

【0127】図25において、(a), (b), (c), (d) は、それぞれバーストカウンタの構成例を示している。図25 (a) に示された例は、入力バッファBUFと、レジスタ回路RG21, RG22と、アドレスセレクタ回路AS2と、バーストカウンタ回路BC2とから構成されている。この例の構成では、レジスタ回路RG21, RG22は、入力バッファBUFからのアドレス入力IAjを、クロック信号 ϕ に応じて、1クロックずつ遅延して出力する。アドレスセレクタ回路AS2は、アドレス選択信号IASWに応じて、入力バッファBUFの出力又はレジスタ回路RG22の出力を選択して、バーストカウンタ回路BC2に入力する。これによって、バーストカウンタ回路BC2は、アドレス選択信号IASWに応じて、アドレス入力IAjの入力後直ちに、又は2クロック後に、アドレス制御信号YALのタイミングで、アドレス出力を発生し、その後アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力YPjを発生する処理を、1クロックごとに所定バースト長に対応する期間繰り返して行う。

【0128】図25 (b) に示された例は、入力バッファBUFと、レジスタ回路RG21と、アドレスセレクタ回路AS2と、バーストカウンタ回路BC2とから構成されている。この例では、図25 (a) に示された例と比べて、レジスタ回路が1段少ないので、アドレスセレクタ回路AS2は、アドレス選択信号IASWに応じて、アドレス入力IAjの入力後直ちに、又は1クロック後に、バーストカウンタ回路BC2の動作を開始させる。

【0129】図25 (c) に示された例は、入力バッファBUFと、レジスタ回路RG21, RG22, RG23と、アドレスセレクタ回路AS2と、バーストカウンタ回路BC2とから構成されている。この例では、図25 (a) に示された例と比べて、レジスタ回路RG23を有しているので、アドレスセレクタ回路AS2は、アドレス選択信号IASWに応じて、アドレス入力IAjの入力から1クロック後に、又は2クロック後に、バーストカウンタ回路BC2の動作を開始させる。

【0130】図25 (d) に示された例は、入力バッファBUFと、レジスタ回路RG21, RG22と、アドレスセレクタ回路AS2と、バーストカウンタ回路BC

2 とから構成されている。この例では、レジスタ回路 RG 2 1 の出力と、レジスタ回路 RG 2 2 の出力とを、アドレスセレクタ回路 AS 2 の入力としているので、アドレスセレクタ回路 AS 2 は、アドレス選択信号 I ASW に応じて、アドレス入力 IA j の入力から 1 クロック後に、又は 2 クロック後に、バーストカウンタ回路 BC 2 の動作を開始させる。

【0131】図26において、(a)、(b)、(c)は、それぞれバーストカウンタの構成例を示している。図26 (a) に示された例は、入力バッファ BUF と、m (m は任意の自然数) 段のレジスタ回路 RG 2 1 1, …, RG 2 1 m と及び n (n は任意の自然数) 段のレジスタ回路 RG 2 2 1, …, RG 2 2 n と、アドレスセレクタ回路 AS 2 と、バーストカウンタ回路 BC 2 とから構成されている。この例では、レジスタ回路 RG 2 1 1, …, RG 2 1 m は、入力バッファ BUF からのアドレス入力 IA j を m クロック遅延させ、レジスタ回路 RG 2 2 1, …, RG 2 2 n は、入力バッファ BUF からのアドレス入力 IA j を n クロック遅延させる。アドレスセレクタ回路 AS 2 は、アドレス選択信号 I ASW に応じて、レジスタ回路 RG 2 1 m 又はレジスタ回路 RG 2 2 n の出力を選択することによって、アドレス入力 IA j の入力から m クロック遅れて、又は、アドレス入力 IA j の入力から m クロック遅れて、バーストカウンタ回路 BC 2 の動作を開始させる。

【0132】図26 (b) に示された例は、入力バッファ BUF と、m (m は任意の自然数) 段のレジスタ回路 RG 2 1 1, …, RG 2 1 m と、アドレスセレクタ回路 AS 2 と、バーストカウンタ回路 BC 2 とから構成されている。この例では、レジスタ回路 RG 2 1 2 の出力と、レジスタ回路 RG 2 1 m の出力とを、アドレスセレクタ回路 AS 2 の入力としているので、アドレスセレクタ回路 AS 2 は、アドレス選択信号 I ASW に応じて、アドレス入力 IA j の入力から 2 クロック後に、又は m クロック後に、バーストカウンタ回路 BC 2 の動作を開始させる。

【0133】図26 (c) に示された例は、入力バッファ BUF と、m (m は任意の自然数) 段のレジスタ回路 REG 2 1 1, …, REG 2 1 m と、n (n は任意の自然数) 段のレジスタ回路 REG 2 2 1, …, REG 2 2 n と、p (p は任意の自然数) 段のレジスタ回路 REG 2 3 1, …, REG 2 3 p と、以下図示されない任意の複数行の任意の複数段のレジスタ回路と、アドレスセレクタ回路 AS 2 と、バーストカウンタ回路 BC 2 とから構成されている。この例では、レジスタ回路 REG 2 1 1, …, REG 2 1 m は、入力バッファ BUF の出力を m クロック遅延させ、レジスタ回路 REG 2 2 1, …, REG 2 2 n は、入力バッファ BUF の出力を n クロック遅延させ、レジスタ回路 REG 2 3 1, …, REG 2 3 p は、入力バッファ BUF の出力を p クロック遅延さ

せ、以下、図示されない複数行のレジスタ回路は、それぞれ入力バッファ BUF の出力を複数クロック遅延させる。この例では、アドレス選択信号 I ASW は、任意の複数のレジスタ回路列に対応して出力される。アドレスセレクタ回路 AS 2 は、アドレス選択信号 I ASW に応じて、例えば、レジスタ回路 REG 2 1 m の出力と、レジスタ回路 REG 2 2 n の出力とを選択することによって、アドレス入力 IA j の入力から m クロック後に、又は n クロック後に、バーストカウンタ回路 BC 2 の動作を開始させる。

【0134】次に、図27乃至図30を用いて、この例のバーストカウンタの動作について説明する。図27において、(a)、(b)、(c) は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図27 (a) においては、n = 3 であって、第1及び第2のコマンドCMDに対応して、アドレス IA 1, IA 2 が入力されたとき、第1のコマンド入力によってアドレス選択信号 I ASW がハイレベルになることによって、2 クロック後にアドレス制御信号 YAL のタイミングでアドレス IA 1 がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号 I ASW がロウレベルになることによって、直ちにアドレス制御信号 YAL のタイミングでアドレス IA 2 がアドレスバスに出力されたことが示されている。

【0135】図27 (b) においては、n = 2 であって、第1のコマンド入力時、アドレス選択信号 I ASW がハイレベルであって、2 クロック後にアドレス制御信号 YAL が出力されるのと同時に、第2のコマンド入力によってアドレス選択信号 I ASW がロウレベルになつて、直ちにアドレス制御信号 YAL が出力されて、両者の発生タイミングが衝突したが、第2のコマンドによるアドレス制御信号 YAL が優先したので、アドレスバスにアドレス IA 2 が出力されたことが示されている。

【0136】図27 (c) においては、n = 2 であって、第1のコマンド入力によってアドレス選択信号 I ASW がロウレベルになることによって、直ちにアドレス制御信号 YAL のタイミングでアドレス IA 1 がアドレスバスに出力され、第2のコマンド入力時、引き続きアドレス選択信号 I ASW がロウレベルであって、直ちにアドレス制御信号 YAL のタイミングでアドレス IA 2 がアドレスバスに出力されたことが示されている。

【0137】図28において、(a)、(b)、(c) は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図28 (a) においては、n = 2 であって、第1のコマンド入力によってアドレス選択信号 I ASW がハイレベルになることによって、2 クロック後にアドレス制御信号 YAL のタイミングでアドレス IA 1 がアドレスバスに出力され、第2のコマンド入力時、アドレス選択信号 I ASW が引き続きハイレベルであって、2 クロック後にアドレス制御信号 YAL

のタイミングでアドレスIA2がアドレスバスに出力されたことが示されている。

【0138】図28(b)においては、n=2であって、第1のコマンド入力によってアドレス選択信号IASWがハイレベルになることによって、1クロック後にアドレス制御信号YALのタイミングでアドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号IASWがロウレベルになることによって、直ちにアドレス制御信号YALのタイミングでアドレスIA2がアドレスバスに出力されたことが示されている。

【0139】図28(c)においては、n=1であって、第1のコマンド入力時、アドレス選択信号IASWがハイレベルであって、1クロック後にアドレス制御信号YALが出力されるのと同時に、アドレス選択信号IASWがロウレベルになって、直ちにアドレス制御信号YALが出力されて、両者の発生タイミングが衝突したが、第2のコマンドによるアドレス制御信号YALが優先したので、アドレスバスにアドレスIA2が出力されたことが示されている。

【0140】図29において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示すタイミングチャートである。図29(a)においては、n=2であって、第1のコマンド入力時、アドレス選択信号IASWがハイレベルになって、第1のコマンド入力によって、2クロック後にアドレス制御信号YALのタイミングで、アドレスIA1がアドレスバスに出力され、第2のコマンド入力時、引き続きアドレス選択信号IASWがハイレベルであって、2クロック後にアドレス制御信号YALのタイミングで、アドレスIA2がアドレスバスに出力されたことが示されている。

【0141】図29(b)においては、n=1であって、第1のコマンド入力時、アドレス選択信号IASWがロウレベルになって、第1のコマンド入力によって、1クロック後にアドレス制御信号YALのタイミングで、アドレスIA1がアドレスバスに出力され、第2のコマンド入力時、引き続きアドレス選択信号IASWがロウレベルであって、1クロック後にアドレス制御信号YALのタイミングで、アドレスIA2がアドレスバスに出力されたことが示されている。

【0142】図29(c)においては、n=3であって、第1のコマンド入力時、アドレス選択信号IASWがハイレベルになって、2クロック後にアドレス制御信号YALのタイミングで、アドレスIA1がアドレスバスに出力され、第2のコマンド入力時、アドレス選択信号IASWがロウレベルになって、1クロック後にアドレス制御信号YALのタイミングで、アドレスIA2がアドレスバスに出力されたことが示されている。

【0143】図30において、(a), (b), (c)は、それぞれこの例のバーストカウンタの動作例を示す

タイミングチャートである。図30(a)においては、n=2であって、第1のコマンド入力時、アドレス選択信号IASWがハイレベルであって、第1のコマンド入力によって、2クロック後にアドレス制御信号YALのタイミングで、アドレスIA1がアドレスバスに出力され、第2のコマンド入力時、引き続きアドレス選択信号IASWがハイレベルであって、1クロック後にアドレス制御信号YALのタイミングで、アドレスIA2がアドレスバスに出力されたことが示されている。

【0144】図30(b)においては、n=1であって、第1のコマンド入力時、アドレス選択信号IASWがロウレベルになって、第1のコマンド入力によって、1クロック後にアドレス制御信号YALのタイミングで、アドレスIA1がアドレスバスに出力され、第2のコマンド入力時、引き続きアドレス選択信号IASWがロウレベルであって、1クロック後にアドレス制御信号YALのタイミングで、アドレスIA2がアドレスバスに出力されたことが示されている。

【0145】図30(c)においては、n=2であって、第1のコマンド入力時、アドレス選択信号IASWがハイレベルになって、第1のコマンド入力によって、2クロック後にアドレス制御信号YALのタイミングで、アドレスIA1がアドレスバスに出力され、第2のコマンド入力時、アドレス選択信号IASWが引き続きハイレベルであって、2クロック後にアドレス制御信号YALのタイミングで、アドレスIA2がアドレスバスに出力されたことが示されている。

【0146】このように、この例の半導体記憶装置によれば、複数のアドレスの保持と、コマンドの種別に対応したアドレス選択出力を、十分な動作マージンをもって行うことができる。また、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定を行うことができる。

【0147】◇第3実施例

図31は、この発明の第3実施例である半導体記憶装置の全体構成を示すブロック図である。この例の半導体記憶装置は、図31に示すように、メモリセルアレイ1, 2と、ワードドライブ3, 4と、DIN/DOUT回路5A, 6Aと、ライトアンプ7, 8と、センスアンプ9, 10, 11, 12と、カラムデコーダ13, 14と、コマンドデコーダ15Cと、バーストカウンタ16Cと、カラム系コントロール回路17Aとから概略構成されている。

【0148】この第3実施例の構成が、上述した第1実施例の構成(図1)と大きく異なるところは、図31に示すように、コマンドデコーダ15Cが、アドレス制御信号YAL, YALWの出力を有しない代わりに、アドレス制御信号1j, 2jの出力を有する点と、バーストカウンタ16Cが、アドレス制御信号YAL, YALW

による出力タイミング制御に代えて、アドレス制御信号 1_j , 2_j によるアドレス出力タイミング制御を行われる点である。これら以外の点では、第1実施例とほぼ同様であるので、図31においては、図1の構成部分と同一の各部には、同一の符号を付して示すとともに、以下において、その説明を省略し、または簡略化するものとする。

【0149】コマンドデコーダ15Cは、DDR-SDRAMの場合は、DDRモード信号MDDRがハイレベルになることによって、外部コマンド信号CSB, RASB, CASB, WEB及びクロック信号CLKに応じて、内部コマンド信号であるリードライトコマンドRWCMDと、アドレス制御信号 1_j , 2_j を発生する。バーストカウンタ16Cは、アドレス入力IA0~IAjを、アドレス制御信号 1_j によって定まるタイミングでラッチ回路に保持し、アドレス制御信号 2_j によって定まるタイミングで、ラッチ回路に保持されたデータを読み出して、信号保持回路に保持して、バーストカウンタ回路からアドレス出力を発生する。また、アドレス入力IA0~IAjをその発生ごとにラッチして、アドレス制御信号 2_j によって定まるタイミングで、ラッチされたデータを読み出して、信号保持回路に保持して、バーストカウンタ回路からアドレス出力を発生する。さらに、バーストカウンタ回路は、アドレス制御信号NIALの発生ごとに、順次、+2したアドレス出力を発生する処理を、所定バースト長に対応する期間、繰り返して行う。

【0150】次に、この例におけるコマンドデコーダ15Cの構成例とその動作について説明する。図32は、この例におけるコマンドデコーダの回路構成図を示し、図33は同コマンドデコーダの動作タイミングチャートである。この例のコマンドデコーダは、図32に示すように、コマンドラッチ回路CMLと、アンド回路AL21, AL22, AL23, AL24, AL25, AL26, AL27, AL28, AL29と、オア回路OL21と、フリップフロップFF21, FF22と、遅延素子DL21, DL22, DL23, DL24とから構成されている。

【0151】コマンドラッチ回路CMLは、半導体記憶装置の外部コマンド信号CSB, RASB, CASB, WEBを受けて、クロックCLKに同期してデコードして、内部コマンド信号CS, RAS, CAS, WEを出力する。外部コマンド信号MDDRがハイレベルのとき、アンド回路AL21の出力は、コマンド信号WEがハイレベルのとき（デコーダ書き込み時）ハイレベルとなり、コマンド信号WEがロウレベルのとき（デコーダ読み出し時）ロウレベルとなる。アンド回路AL22は、コマンド信号CSによってコマンド選択を指示され、コマンド信号RASによってロードレス選択を指示されず、コマンド信号CASによってカラムアドレス

選択が指示されたとき、出力がハイレベルになるので、データ書き込み時は、アンド回路AL24の出力Bがハイレベルになり、データ読み出し時は、アンド回路AL23の出力Aがハイレベルになる。

【0152】これによって、アンド回路AL28において、出力Aと、出力Aを反転し遅延素子DL23で遅延させた出力との一致を検出することによって、1ショットパルスからなるアドレス制御信号 1_0 を発生する。また、アンド回路AL29において、出力Bと、出力Bを反転し遅延素子DL24で遅延させた出力との一致を検出することによって、1ショットパルスからなるアドレス制御信号 1_1 を発生する。さらに、アンド回路AL23からオア回路OL21を経て直ちに、リードライトコマンドRWCMDが出力されるとともに、アンド回路AL24からフリップフロップFF21, FF22を経て2クロック遅れて発生する出力Dによっても、リードライトコマンドRWCMDが出力される。また、アンド回路AL25において、アンド回路AL23の出力と、クロック信号CLKとの一致をとって、アドレス制御信号 2_0 が出力され、アンド回路AL26において、フリップフロップFF22の出力Dと、クロック信号CLKとの一致をとって、アドレス制御信号 2_1 が出力される。この際、アドレス制御信号 2_0 , 2_1 は、クロック信号CLKを遅延素子DL22を経て遅延させることによって、リードライトコマンドRWCMDの立ち上がりに対応する1ショットパルスとなる。

【0153】このとき、アンド回路AL23の出力Aと、出力Aを遅延素子DL21を経て遅延した信号とによる、アンド回路AL27の出力Cを、フリップフロップFF22のリセット入力Rに接続することによって、オア回路OL21の2つの入力が同時に発生したときは、フリップフロップFF22をリセットして、出力Bに基づいてリードライトコマンドRWCMDが発生しないようにして、出力Aに基づくリードライトコマンドRWCMDの発生が優先するようにしている。DDR-SDRAMの仕様のように、”連続したコマンドが入力された場合に、後から入力されたコマンドによって、先に入力されたライトコマンド又はリードコマンドをインターラプトする”ときは、すべてのフリップフロップにリセット信号を入力することによって、上述の仕様をみたすことができる。図示されない、リードコマンド、ライトコマンド以外の他のコマンドが入力された場合に、先に入力されたリードコマンド、ライトコマンドをインターラプトする仕様の場合は、すべてのフリップフロップに上述の他のコマンドから生成するリセット信号に対して節点Cの出力と論理和をとって入力することで、この仕様を実現することができる。

【0154】次に、図33を参照して、この例のコマンドデコーダの動作例を説明する。ライトコマンドWの入力によって、出力Bが発生し、アドレス制御信号 1_1 が

出力される。さらに、2クロック遅れて出力Dが発生して、オア回路OL21を経てリードライトコマンドRW CMDが出力されるとともに、アドレス制御信号21が出力される。また、リードコマンドRの入力によって、出力Aが発生し、アドレス制御信号10が出力される。さらに、直ちにオア回路OL21を経てリードライトコマンドRW CMDが出力されるとともに、アドレス制御信号20が出力される。ライトコマンドWの入力から2クロック後にリードコマンドRが入力されたときは、ライトコマンドWの入力によって出力Bが発生し、これによって、アドレス制御信号11が出力されるが、リードコマンドRの入力によって出力Aが発生し、これによって、出力Cが発生したため、フリップフロップFF22がリセットされて、出力Dは発生しない。一方、出力Aの発生によって制御信号10が出力され、オア回路OL21を経てリードライトコマンドRW CMDが出力されるとともに、アドレス制御信号20が出力される。また、ライトコマンドWの入力から1クロック後にリードコマンドRが入力されてアドレス制御信号11が発生したときも、同様に、リードコマンドRの入力によって出力Aが発生し、これによって、出力Cが発生したため、出力Dは発生せず、出力Aの発生によって、制御信号10が出力され、リードライトコマンドRW CMDが出力されるとともに、アドレス制御信号20が出力される。なお、DDR-SDRAMの仕様に従うと、タイミング図中、ライトコマンド及びリードコマンドが連続する場合、ライトコマンドはリードコマンドによってインターラプトされ、リードライトコマンドRW CMD及びアドレスは出力されない。これに対しては、すべてのフリップフロップに対してリセット信号を入力することによって、上述の仕様をみたすことができる。また、ライトコマンド及びリードコマンドが連続する場合と同様に、リードコマンド又はライトコマンドに連続して入力された、図示されない他のコマンドによるインターラプトが必要な場合も、同様にして上記の仕様をみたすことができる。

【0155】次に、この例におけるバーストカウンタ16Cの構成例とその動作について説明する。図34は、バーストカウンタ中におけるラッチ回路と信号保持回路の構成例を示す図、図35、図36は、バーストカウンタの構成例を示す図、図37、図38は、同バーストカウンタの動作例を示すタイミングチャートである。

【0156】図34(a)は、ラッチ回路の原理的構成を示すものであって、スイッチSW31、SW32と、ラッチLC31とからなる構成が示されている。この例のラッチ回路では、アドレス制御信号1jによって、スイッチSW31がオンになって、入力INの状態を取り込んでラッチLC31にラッチし、次に、アドレス制御信号2jによって、スイッチSW32がオンになって、ラッチLC31の状態によって、出力OUTを発生す

る。

【0157】図34(b)は、ラッチ回路の具体的構成例を示すものであって、ゲート回路G31、G32と、ラッチLC32とからなる構成が示されている。この例のラッチ回路では、アドレス制御信号1jによって、ゲート回路G31がオンになって、入力INの状態を取り込んでラッチLC32にラッチし、次に、アドレス制御信号2jによって、ゲート回路G32がオンになって、ラッチLC32の状態によって、出力OUTを発生する。

【0158】図34(c)は、ラッチ回路Bの具体的構成例を示すものであって、ラッチLC33と、ゲート回路G33とからなる構成が示されている。この例のラッチ回路Bでは、ラッチLC33によって、入力INの状態を取り込み、アドレス制御信号2jによって、ゲート回路G33がオンになって、ラッチLC33の状態によって、出力OUTを発生する。

【0159】図34(d)は、信号保持回路の具体的構成例を示すものであって、ラッチLC34からなる構成が示されている。この例の出力保持回路では、入力INを、その発生ごとにラッチLC34にラッチして、出力OUTを発生する。

【0160】図35において、(a)、(b)、(c)は、それぞれバーストカウンタの構成例を示している。図35(a)に示された例は、入力バッファBUFと、ラッチ回路LCC10、LCC11と、信号保持回路SHと、バーストカウンタ回路BC3とから構成されている。この例では、ラッチ回路LCC10、LCC11は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10、11に応じてラッチし、アドレス制御信号20、21に応じて出力する。信号保持回路SHは、ラッチ回路LCC10又はLCC11の出力を保持する。バーストカウンタ回路BC3は、信号保持回路SHからの入力後直ちに、又は所定クロック期間後に、アドレス出力を発生し、その後アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力Ypjを発生する処理を、1クロックごとに所定バースト長に対応する期間繰り返して行う。

【0161】図35(b)に示された例は、入力バッファBUFと、ラッチ回路LCC10、LCC11、LCC12と、信号保持回路SHと、バーストカウンタ回路BC3とから構成されている。この例では、ラッチ回路LCC10、LCC11、LCC12は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10、11、12に応じてラッチし、アドレス制御信号20、21、22に応じて出力する。信号保持回路SHは、ラッチ回路LCC10又はLCC11又はLCC12の出力を保持する。バーストカウンタ回路BC3は、信号保持回路SHからの入力によって、動作を開始する。

【0162】図35(c)に示された例は、入力バッファBUFと、複数のラッチ回路LCC10, LCC11, …, LCC1jと、信号保持回路SHと、バーストカウンタ回路BC3とから構成されている。この例では、ラッチ回路LCC10, LCC11, …, LCC1jは、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11, …, 1jに応じてラッチし、アドレス制御信号20, 21, …, 2jに応じて出力する。信号保持回路SHは、ラッチ回路LCC10, LCC11, …, LCC1jのいずれかからの出力を保持する。バーストカウンタ回路BC3は、信号保持回路SHからの入力によって、動作を開始する。

【0163】図36において、(a), (b), (c)は、それぞれバーストカウンタの構成例を示している。図36(a)に示された例は、入力バッファBUFと、ラッチ回路LCC10, LCB11と、信号保持回路SHと、バーストカウンタ回路BC3とから構成されている。ラッチ回路LCC10は、入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10に応じてラッチし、アドレス制御信号20に応じて出力する。ラッチ回路LCB11は、入力バッファBUFからのアドレス入力IAjを、入力ごとにラッチして、アドレス制御信号21に応じて出力する。信号保持回路SHは、ラッチ回路LCC10又はLCB11の出力を保持する。バーストカウンタ回路BC3は、信号保持回路SHからの入力後直ちに、又は所定クロック期間後に、アドレス出力を発生し、その後アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力YPjを発生する処理を、1クロックごとに所定バースト長に対応する期間繰り返して行う。

【0164】図36(b)に示された例は、入力バッファBUFと、ラッチ回路LCC10, LCC11, LCB12と、信号保持回路SHと、バーストカウンタ回路BC3とから構成されている。ラッチ回路LCC10, LCC11は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11に応じてラッチし、アドレス制御信号20, 21に応じて出力する。ラッチ回路LCB12は、入力バッファBUFからのアドレス入力IAjを、入力ごとにラッチして、アドレス制御信号22に応じて出力する。信号保持回路SHは、ラッチ回路LCC10, LCC11, LCB12のいずれかからの出力を保持する。バーストカウンタ回路BC3は、信号保持回路SHからの入力によって、動作を開始する。

【0165】図36(c)に示された例は、入力バッファBUFと、複数のラッチ回路LCC10, LCC11, …と、ラッチ回路LCB1jと、信号保持回路SHと、バーストカウンタ回路BC3とから構成されている。ラッチ回路LCC10, LCC11, …は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス

制御信号10, 11, …に応じてラッチし、アドレス制御信号20, 21, …に応じて出力する。ラッチ回路LCB1jは、入力バッファBUFからのアドレス入力IAjを、入力ごとにラッチして、アドレス制御信号2jに応じて出力する。信号保持回路SHは、ラッチ回路LCC10, LCC11, …, LCB1jのいずれかからの出力を保持する。バーストカウンタ回路BC3は、信号保持回路SHからの入力によって、動作を開始する。

【0166】次に、図37乃至図40を用いて、この例10のバーストカウンタの動作を説明する。図37において、(a), (b), (c)は、それぞれ図35に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図37(a)においては、n=2であって、第1及び第2のコマンドCMDに対応して、アドレスIA1, IA2が入力されたとき、第1のコマンド入力によってアドレス選択信号11がオンになり、直ちにアドレス制御信号21がオンになることによって、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号11がオンになり、直ちにアドレス制御信号21がオンになることによって、アドレスIA2がアドレスバスに出力されたことが示されている。

【0167】図37(b)においては、n=2であって、第1のコマンド入力によってアドレス選択信号10がオンになり、2クロック後にアドレス制御信号20がオンになることによって、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号10がオンになり、2クロック後にアドレス制御信号20がオンになることによって、アドレスIA2がアドレスバスに出力されたことが示されている。

【0168】図37(c)においては、n=2であって、第1のコマンド入力によってアドレス選択信号10がオンになり、2クロック後にアドレス制御信号20がオンになることによって、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号11がオンになり、2クロック後にアドレス制御信号21がオンになることによって、アドレスIA2がアドレスバスに出力されたことが示されている。

【0169】図38において、(a), (b)は、それ40ぞれ図35に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図38(a)においては、n=3であって、第1のコマンド入力によってアドレス選択信号10がオンになり、2クロック後にアドレス制御信号20がオンになることによって、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号11がオンになり、直ちにアドレス制御信号21がオンになることによって、アドレスIA2がアドレスバスに出力されたことが示されている。

【0170】図38(b)においては、n=2であつ

て、第1のコマンド入力によってアドレス選択信号11がオンになり、第2のコマンド入力によって、アドレス制御信号11がオンになって、第1のコマンド入力に基づく2クロック後にアドレス制御信号21と、第2のコマンド入力に基づいて直ちに発生したアドレス制御信号21とがそれぞれ発生して衝突したが、第2のコマンド入力が優先して、アドレス制御信号21が出力され、これによって、アドレスIA2がアドレスバスに出力されたことが示されている。

【0171】図39において、(a), (b), (c)は、それぞれ図36に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図39(a)においては、n=2であって、第1のコマンド入力によってアドレス選択信号21が出力されることによって、アドレスIA1がラッチ回路Bからアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号21が出力されることによって、アドレスIA2がラッチ回路Bからアドレスバスに出力されたことが示されている。

【0172】図39(b)においては、n=2であって、第1のコマンド入力によってアドレス選択信号10が出力され、2クロック後にアドレス制御信号20が出力されることによって、ラッチ回路からアドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号10が出力され、2クロック後にアドレス制御信号20が出力されることによって、ラッチ回路からアドレスIA2がアドレスバスに出力されたことが示されている。この場合は、アドレス制御信号21が出力されないので、ラッチ回路Bからのアドレス出力は発生しない。

【0173】図39(c)においては、n=2であって、第1のコマンド入力によってアドレス選択信号10がオンになり、2クロック後にアドレス制御信号20がオンになることによって、ラッチ回路からアドレスIA1がアドレスバスに出力され、第2のコマンド入力から2クロック後にアドレス制御信号21がオンになることによって、ラッチ回路BからアドレスIA2がアドレスバスに出力されたことが示されている。

【0174】図40において、(a), (b)は、それぞれ図36に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図40(a)においては、n=3であって、第1のコマンド入力によってアドレス選択信号10が出力され、2クロック後にアドレス制御信号20が出力されることによって、アドレスIA1がラッチ回路からアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号21が出力されることによって、アドレスIA2がラッチ回路Bからアドレスバスに出力されたことが示されている。

【0175】図40(b)においては、n=2であって、第1のコマンド入力によって2クロック後に発生し

たアドレス制御信号21と、第2のコマンド入力によって発生したアドレス選択信号21とが衝突したが、第2のコマンド入力が優先して、アドレス制御信号21が出力され、これによって、アドレスIA2がアドレスバスに出力されたことが示されている。

【0176】このように、この例の半導体記憶装置によれば、複数のアドレスの保持と、コマンドの種別に対応したアドレスの選択出力を、十分な動作マージンをもって行うことができる。また、多種多様なアドレス入力を10もつ半導体記憶装置において、フレキシブルなアドレス選択とアドレス出力のタイミング設定を行うことができる。さらに、取り込まれたアドレス入力を任意の順番に並べ替えることができる。

【0177】◇第4実施例

図41は、この発明の第4実施例である半導体記憶装置の全体構成を示すブロック図である。この例の半導体記憶装置は、図41に示すように、メモリセルアレイ1, 2と、ワードドライバ3, 4と、DIN/DOUT回路5A, 6Aと、ライトアンプ7, 8と、センスアンプ209, 10, 11, 12と、カラムデコーダ13, 14と、コマンドデコーダ15Dと、バーストカウンタ16Dと、カラム系コントロール回路17Aとから概略構成されている。

【0178】この第4実施例の構成が、上述した第3実施例の構成(図31)と大きく異なるところは、図41に示すように、コマンドデコーダ15Dが、アドレス制御信号1j, 2jの他に、アドレス制御信号YALの出力を有する点と、バーストカウンタ16Dが、アドレス制御信号1j, 2jによる出力タイミング制御の他に、30アドレス制御信号YALによるアドレス出力タイミング制御を行なうようにした点である。これら以外の点では、第3実施例とほぼ同様であるので、図41においては、図31の構成部分と同一の各部には、同一の符号を付して示すとともに、以下において、その説明を省略し、または簡略化するものとする。

【0179】コマンドデコーダ15Dは、DDR-SDRAMの場合は、DDRモード信号MDDRがハイレベルになることによって、外部コマンド信号CSB, RASB, CASB, WEB及びクロック信号CLKに応じて、内部コマンド信号であるリードライトコマンドRWCMDと、アドレス制御信号1j, 2j, YALを発生する。バーストカウンタ16Dは、アドレス入力IA0～IAjに対して、アドレス制御信号1jによって定まるタイミングでラッチ回路に保持し、アドレス制御信号2jによって定まるタイミングで、ラッチ回路に保持されたデータを読み出して、信号保持回路に一旦保持し、アドレス制御信号YALによって読み出して、バーストカウンタ回路からアドレス出力を発生する。また、アドレス入力IA0～IAjをその発生ごとにラッチして、アドレス制御信号2jによって定まるタイミング

で、ラッピングされたデータを読み出して、バーストカウント回路からアドレス出力を発生する。さらに、バーストカウント回路は、アドレス制御信号 NYAL の発生ごとに、順次、+2 したアドレス出力を発生する処理を、所定バースト長に対応する期間、繰り返して行う。

【0180】次に、この例におけるコマンドデコーダ 15D の構成例とその動作について説明する。図 42 は、この例におけるコマンドデコーダの回路構成図を示し、図 43 は同コマンドデコーダの動作タイミングチャートである。この例のコマンドデコーダは、図 42 に示すように、コマンドラッピング回路 CML と、アンド回路 AL 31, AL 32, AL 33, AL 34, AL 35, AL 36, AL 37, AL 38, AL 39 と、オア回路 OL 31, OL 32 と、フリップフロップ FF 31, FF 32 と、遅延素子 DL 31, DL 32, DL 33, DL 34, DL 35 とから構成されている。

【0181】コマンドラッピング回路 CML は、半導体記憶装置の外部コマンド信号 CSB, RASB, CASB, WEB を受けて、クロック CLK に同期してデコードして、内部コマンド信号 CS, RAS, CAS, WE を出力する。外部コマンド信号 MDDR がハイレベルのとき、アンド回路 AL 31 の出力は、コマンド信号 WE がハイレベルのとき（データ書き込み時）ハイレベルとなり、コマンド信号 WE がロウレベルのとき（データ読み出し時）ロウレベルとなる。アンド回路 AL 32 は、コマンド信号 CS によってコマンド選択を指示され、コマンド信号 RAS によってロードアドレス選択を指示されず、コマンド信号 CAS によってカラムアドレス選択が指示されたとき、出力がハイレベルになるので、データ書き込み時は、アンド回路 AL 34 の出力 B がハイレベルになり、データ読み出し時は、アンド回路 AL 33 の出力 A がハイレベルになる。

【0182】これによって、アンド回路 AL 38において、出力 A と、出力 A を反転し遅延素子 DL 33 で遅延させた出力との一致を検出することによって、1 ショットパルスからなるアドレス制御信号 10 を発生する。また、アンド回路 AL 39において、出力 B と、出力 B を反転し遅延素子 DL 34 で遅延させた出力との一致を検出することによって、1 ショットパルスからなるアドレス制御信号 11 を発生する。また、アンド回路 AL 33 からオア回路 OL 31 を経て直ちに、リードライトコマンド RWCMD が output されるとともに、アンド回路 AL 34 からフリップフロップ FF 31, FF 32 を経て 2 クロック遅れて発生する出力 D によって、リードライトコマンド RWCMD が output される。さらに、アンド回路 AL 35において、アンド回路 AL 33 の出力と、クロック信号 CLK との一致をとつて、アドレス制御信号 20 が output され、アンド回路 AL 36において、フリップフロップ FF 32 の出力 D と、クロック信号 CLK との一致をとつて、アドレス制御信号 21 が output される。

この際、アドレス制御信号 20, 21 は、クロック信号 CLK を遅延素子 DL 32 を経て遅延させることによって、リードライトコマンド RWCMD の立ち上がりに対応する 1 ショットパルスとなる。さらに、オア回路 OL 32 においてアドレス制御信号 20, 21 の論理和をとった信号を、遅延素子 DL 35 で遅延してアドレス制御信号 YAL を発生する。

【0183】このとき、アンド回路 AL 33 の出力 A と、出力 A を遅延素子 DL 31 を経て遅延した信号とによる、アンド回路 AL 37 の出力 C を、フリップフロップ FF 32 のリセット入力 R に接続することによって、オア回路 OL 31 の 2 つの入力が同時に発生したときは、フリップフロップ FF 32 をリセットして、出力 B に基づいてリードライトコマンド RWCMD が発生しないようにして、出力 A に基づくリードライトコマンド RWCMD の発生が優先するようにしている。DDR-S DRAM の仕様のように、”連続したコマンドが入力された場合に、後から入力されたコマンドによって、先に入力されたライトコマンド又はリードコマンドをインターラプトする”ときは、すべてのフリップフロップにリセット信号を入力することによって、上述の仕様をみたすことができる。図示されない、リードコマンド、ライトコマンド以外の他のコマンドが入力された場合に、先に入力されたリードコマンド、ライトコマンドをインターラプトする仕様の場合は、すべてのフリップフロップに上述の他のコマンドから生成するリセット信号に対して節点 C の出力と論理和をとつて入力することで、この仕様を実現することができる。

【0184】次に、図 43 を参照して、この例のコマンドデコーダの動作例を説明する。ライトコマンド W の入力によって、出力 B が発生し、アドレス制御信号 11 が output される。さらに、2 クロック遅れて出力 D が発生して、オア回路 OL 31 を経てリードライトコマンド RWCMD が output されるとともに、アドレス制御信号 21 が output される。また、リードコマンド R の入力によって、出力 A が発生し、アドレス制御信号 10 が output される。さらに、オア回路 OL 31 を経てリードライトコマンド RWCMD が output されるとともに、アドレス制御信号 20 が output される。

【0185】ライトコマンド W の入力から 2 クロック後にリードコマンド R が入力されたときは、ライトコマンド W の入力によって出力 B が発生し、これによって、アドレス制御信号 11 が output されるが、リードコマンド R の入力によって出力 A が発生し、これによって、出力 C が発生したため、フリップフロップ FF 32 がリセットされて、出力 D は発生しない。一方、出力 A の発生によって制御信号 10 が output され、オア回路 OL 31 を経てリードライトコマンド RWCMD が output されるとともに、アドレス制御信号 20 が output される。また、ライトコマンド W の入力から 1 クロック後にリードコマンド R

が入力されてアドレス制御信号11が発生したときも、同様に、リードコマンドRの入力によって出力Aが発生し、これによって、出力Cが発生したため、出力Dは発生せず、出力Aの発生によって、制御信号10が発出され、リードライトコマンドRWCMDが発出されるとともに、アドレス制御信号20が発出される。さらに、アドレス制御信号20, 21の発生によって、オア回路OL32を経て、アドレス制御信号YALが発出される。なお、DDR-SDRAMの仕様に従うと、タイミング図中、ライトコマンド及びリードコマンドが連続する場合、ライトコマンドはリードコマンドによってインターラプトされ、リードライトコマンドRWCMD及びアドレスは発出されない。これに対しては、すべてのフリップフロップに対してリセット信号を入力することによって、上述の仕様をみたすことができる。また、ライトコマンド及びリードコマンドが連続する場合と同様に、リードコマンド又はライトコマンドに連続して入力された、図示されない他のコマンドによるインターラプトが必要な場合も、同様にして上記の仕様をみたすことができる。

【0186】次に、この例におけるバーストカウンタ16Dの構成例とその動作について説明する。図44、図45は、バーストカウンタの構成例を示す図、図46、図47、図48、図49は、同バーストカウンタの動作例を示すタイミングチャートである。

【0187】図44において、(a), (b), (c)は、それぞれバーストカウンタの構成例を示している。図44(a)に示された例は、入力バッファBUFと、ラッチ回路LCC20, LCC21と、信号保持回路SHと、バーストカウンタ回路BC4とから構成されている。この例では、ラッチ回路LCC20, LCC21は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11に応じてラッチし、アドレス制御信号20, 21に応じて出力する。信号保持回路SHは、ラッチ回路LCC20又はLCC21の出力を保持する。バーストカウンタ回路BC4は、信号保持回路SHからの入力後、アドレス制御信号YALの発生時、又は所定クロック期間後に、アドレス出力を発生し、その後アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力YPjを発生する処理を、1クロックごとに所定バースト長に対応する期間繰り返して行う。

【0188】図44(b)に示された例は、入力バッファBUFと、ラッチ回路LCC20, LCC21, LCC22と、信号保持回路SHと、バーストカウンタ回路BC4とから構成されている。この例では、ラッチ回路LCC20, LCC21, LCC22は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11, 12に応じてラッチし、アドレス制御信号20, 21, 22に応じて出力する。信号保持

回路SHは、ラッチ回路LCC20又はLCC21又はLCC22の出力を保持する。バーストカウンタ回路BC4は、信号保持回路SHからの入力によって、アドレス制御信号YALの発生時、動作を開始する。

【0189】図44(c)に示された例は、入力バッファBUFと、複数のラッチ回路LCC20, LCC21, …, LCC2jと、信号保持回路SHと、バーストカウンタ回路BC4とから構成されている。この例では、ラッチ回路LCC20, LCC21, …, LCC2jは、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11, …, 1jに応じてラッチし、アドレス制御信号20, 21, …, 2jに応じて出力する。信号保持回路SHは、ラッチ回路LCC20, LCC21, …, LCC2jのいずれかからの出力を保持する。バーストカウンタ回路BC4は、信号保持回路SHからの入力によって、アドレス制御信号YALの発生時、動作を開始する。

【0190】図45において、(a), (b), (c)は、それぞれバーストカウンタの構成例を示している。

図45(a)に示された例は、入力バッファBUFと、ラッチ回路LCC20, LCB21と、信号保持回路SHと、バーストカウンタ回路BC4とから構成されている。ラッチ回路LCC20は、入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10に応じてラッチし、アドレス制御信号20に応じて出力する。ラッチ回路LCB21は、入力バッファBUFからのアドレス入力IAjを、入力ごとにラッチして、アドレス制御信号21に応じて出力する。信号保持回路SHは、ラッチ回路LCC20又はLCB21の出力を保持する。バーストカウンタ回路BC4は、信号保持回路SHからの入力によって、アドレス制御信号YALの発生後直ちに、又は所定クロック期間後に、アドレス出力を発生し、その後アドレス制御信号NYALの発生ごとに、順次、+2したアドレス出力YPjを発生する処理を、1クロックごとに所定バースト長に対応する期間繰り返して行う。

【0191】図45(b)に示された例は、入力バッファBUFと、ラッチ回路LCC20, LCB21, LCB22と、信号保持回路SHと、バーストカウンタ回路BC4とから構成されている。ラッチ回路LCC20, LCC21は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11に応じてラッチし、アドレス制御信号20, 21に応じて出力する。ラッチ回路LCB22は、入力バッファBUFからのアドレス入力IAjを、入力ごとにラッチして、アドレス制御信号22に応じて出力する。信号保持回路SHは、ラッチ回路LCC20, LCC21, LCB22のいずれかからの出力を保持する。バーストカウンタ回路BC4は、信号保持回路SHからの入力によって、アドレス制御信号YALの発生時、動作を開始する。

【0192】図45(c)に示された例は、入力バッファBUFと、複数のラッチ回路LCC20, LCC21, …と、ラッチ回路LCB2jと、信号保持回路SHと、バーストカウンタ回路BC4とから構成されている。ラッチ回路LCC20, LCC21, …は、それぞれ入力バッファBUFからのアドレス入力IAjを、アドレス制御信号10, 11, …に応じてラッチし、アドレス制御信号20, 21, …に応じて出力する。ラッチ回路LCB2jは、入力バッファBUFからのアドレス入力IAjを、入力ごとにラッチして、アドレス制御信号2jに応じて出力する。信号保持回路SHは、ラッチ回路LCC20, LCC21, …又はLCB2jのいずれかからの出力を保持する。バーストカウンタ回路BC4は、信号保持回路SHからの入力によって、アドレス制御信号YALの発生時、動作を開始する。

【0193】次に、図46乃至図49を用いて、この例のバーストカウンタの動作を説明する。図46において、(a), (b), (c)は、それぞれ図44に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図46(a)においては、n=2であって、第1及び第2のコマンドCMDに対応して、アドレスIA1, IA2が入力されたとき、第1のコマンド入力によってアドレス制御信号11が入力され、直ちにアドレス制御信号21が入力されることによって、アドレスIA1が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス制御信号11が入力され、直ちにアドレス制御信号21が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0194】図46(b)においては、n=2であって、第1のコマンド入力によってアドレス制御信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、アドレスIA1が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス制御信号10が入力され、2クロックにアドレス制御信号20が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0195】図46(c)においては、n=2であって、第1のコマンド入力によってアドレス制御信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、アドレスIA1が信号保持回路

SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス制御信号11が入力され、2クロックにアドレス制御信号21が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0196】図47において、(a), (b)は、それぞれ図44に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図47(a)においては、n=3であって、第1のコマンド入力によってアドレス制御信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、アドレスIA1が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス制御信号11が入力され、直ちにアドレス制御信号21が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0197】図47(b)においては、n=2であって、第1のコマンド入力によってアドレス制御信号11がオンになり、第2のコマンド入力によって、アドレス制御信号11がオンになって、第1のコマンド入力に基づく2クロック後のアドレス制御信号21と、第2のコマンド入力に基づいて直ちに発生したアドレス制御信号21とが衝突したが、第2のコマンド入力が優先して、アドレス制御信号21が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0198】図48において、(a), (b), (c)は、それぞれ図45に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図48(a)においては、n=2であって、アドレスIA1, IA2が順次ラッチ回路Bに入力され、第1のコマンド入力によってアドレス制御信号21が入力されることによって、アドレスIA1が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス制御信号21が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されて

いる。

【0199】図48(b)においては、 $n = 2$ であつて、第1のコマンド入力によってアドレス制御信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、アドレスIA1が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、アドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。この場合は、アドレス制御信号21が入力されないので、ラッチ回路Bからのアドレス出力は発生しない。

【0200】図48(c)においては、 $n = 2$ であつて、第1のコマンド入力によってアドレス選択信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、ラッチ回路からアドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力から2クロック後にアドレス制御信号21が入力されることによって、ラッチ回路BからアドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0201】図49において、(a)、(b)は、それぞれ図45に示された構成例のバーストカウンタの動作例を示すタイミングチャートである。図49(a)においては、 $n = 3$ であつて、第1のコマンド入力によってアドレス選択信号10が入力され、2クロック後にアドレス制御信号20が入力されることによって、ラッチ回路からアドレスIA1が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA1がアドレスバスに出力され、第2のコマンド入力によってアドレス選択信号21が出力されることによって、ラッチ回路BからアドレスIA2が信号保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0202】図49(b)においては、 $n = 2$ であつて、第1のコマンド入力によって2クロック後に発生したアドレス制御信号21と、第2のコマンド入力によって直ちに発生したアドレス選択信号21とが衝突したが、第2のコマンド入力が優先して、アドレス制御信号21が入力され、これによって、アドレスIA2が信号

保持回路SHに保持され、アドレス制御信号YALの入力に応じてバーストカウンタ回路BC4から、アドレスIA2がアドレスバスに出力されたことが示されている。

【0203】このように、この例の半導体記憶装置によれば、複数のアドレスの保持と、コマンドの種別に対応したアドレス選択出力とを、十分な動作マージンをもつて行うことができる。また、多種多様なアドレス入力をもつ半導体記憶装置において、フレキシブルなアドレス選択とアドレス出力タイミングの設定を行うことができる。さらに、取り込まれたアドレス入力を、任意の順番に並べ替えることができる。

【0204】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があつてもこの発明に含まれる。例えば、図44、図45に示す、第4実施例のバーストカウンタの構成において、矢印で示すラッチ回路群からの分岐出力によって、アドレス制御信号2jによって定められるタイミングを、図示されない他の回路で使用することができる。これは、第4実施例の場合、バーストカウンタからのアドレス出力は、別にアドレス制御信号YALによってタイミングをとっているためである。また、各実施例において、ライトコマンドによるデータの書き込みを、リードコマンドによるデータの読み出しに優先して行うようになる場合には、各実施例のコマンドデコーダの回路において、節点Aと節点Bとを入れ替えて後段の部分に接続するようにすればよい。

【0205】

【発明の効果】以上、説明したように、この発明の半導体記憶装置によれば、DDR-SDRAMの標準化によって必要になった、複数のアドレスの保持と、コマンド種別に対応したアドレスの選択出力とを、動作マージンを十分とりながら、実行することが可能になるとともに、多種多様なアドレス入力信号をもつ半導体記憶装置において、フレキシブルなアドレス選択と、アドレス出力タイミングの設定とを行うことが可能になる。さらに、この発明の半導体記憶装置によれば、取り込まれたアドレス入力信号を、任意の順序に並べ替えて出力することが可能である。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体記憶装置の全体構成を示すブロック図である。

【図2】同半導体記憶装置のライト時の動作を説明するタイミングチャートである。

【図3】同半導体記憶装置のリード時の動作を説明するタイミングチャートである。

【図4】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図5】同半導体記憶装置におけるコマンドデコーダの

構成例を示す図である。

【図6】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図7】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図8】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図9】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図10】同半導体記憶装置におけるバーストカウンタを構成するアドレスセレクタ回路の構成例を示す図である。

【図11】同バーストカウンタの構成例(1)を示す図である。

【図12】同バーストカウンタの構成例(2)を示す図である。

【図13】同バーストカウンタの動作例(1)を示すタイミングチャートである。

【図14】同バーストカウンタの動作例(2)を示すタイミングチャートである。

【図15】同バーストカウンタの動作例(3)を示すタイミングチャートである。

【図16】同バーストカウンタの動作例(4)を示すタイミングチャートである。

【図17】同バーストカウンタの動作例(5)を示すタイミングチャートである。

【図18】同バーストカウンタの動作例(6)を示すタイミングチャートである。

【図19】この発明の第2実施例である半導体記憶装置の全体構成を示すブロック図である。

【図20】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図21】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図22】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図23】同半導体記憶装置におけるコマンドデコーダの構成例を示す図である。

【図24】同半導体記憶装置におけるバーストカウンタを構成するレジスタ回路とセレクタ回路の構成例を示す図である。

【図25】同バーストカウンタの構成例(1)を示す図である。

【図26】同バーストカウンタの構成例(2)を示す図である。

【図27】同バーストカウンタの動作例(1)を示すタイミングチャートである。

【図28】同バーストカウンタの動作例(2)を示すタイミングチャートである。

【図29】同バーストカウンタの動作例(3)を示すタ

イミングチャートである。

【図30】同バーストカウンタの動作例(4)を示すタイミングチャートである。

【図31】この発明の第3実施例である半導体記憶装置の全体構成を示すブロック図である。

【図32】同半導体記憶装置におけるコマンドデコーダの回路構成例を示す図である。

【図33】同コマンドデコーダの動作例を示すタイミングチャートである。

10 【図34】同半導体記憶装置におけるバーストカウンタを構成するラッチ回路と信号保持回路の構成例を示す図である。

【図35】同バーストカウンタの構成例(1)を示す図である。

【図36】同バーストカウンタの構成例(2)を示す図である。

【図37】同バーストカウンタの動作例(1)を示すタイミングチャートである。

【図38】同バーストカウンタの動作例(2)を示すタイミングチャートである。

20 【図39】同バーストカウンタの動作例(3)を示すタイミングチャートである。

【図40】同バーストカウンタの動作例(4)を示すタイミングチャートである。

【図41】この発明の第4実施例である半導体記憶装置の全体構成を示すブロック図である。

【図42】同半導体記憶装置におけるコマンドデコーダの回路構成例を示す図である。

【図43】同コマンドデコーダの動作例を示すタイミングチャートである。

30 【図44】同半導体記憶装置におけるバーストカウンタの構成例を示す図である。

【図45】同バーストカウンタの構成例を示す図である。

【図46】同バーストカウンタの動作例(1)を示すタイミングチャートである。

【図47】同バーストカウンタの動作例(2)を示すタイミングチャートである。

40 【図48】同バーストカウンタの動作例(3)を示すタイミングチャートである。

【図49】同バーストカウンタの動作例(4)を示すタイミングチャートである。

【図50】2ビットプリフェッチ型SDRAMからなる従来例の半導体記憶装置の構成例を示すブロック図である。

【図51】同半導体記憶装置におけるライト時の動作を説明するタイミングチャートである。

【図52】同半導体記憶装置におけるリード時の動作を説明するタイミングチャートである。

50 【符号の説明】

59

1, 2 メモリセルアレイ (メモリ部)
 15A, 15B, 15C, 15D コマンドデコード (制御手段)
 16A, 16B, 16C, 16D バーストカウント (アドレス出力手段)
 17A カラム系コントロール回路 (カラム系制御手段)
 CML コマンドラッチ回路 (信号発生手段)
 AL1~AL8, AL11~AL17, AL21~AL29, AL31~AL39 アンド回路 (信号発生手段)
 OL1, OL11, OL12, OL31, OL31, OL32 オア回路 (信号発生手段)

60

DL1~DL3, DL11~DL13, DL21~DL24, DL31~DL34 遅延素子 (信号発生手段)
 FF1~FFn, FF11~FF1n, FF21, FF22, FF31, FF32 フリップフロップ (信号発生手段)
 REG11~REG13, REG21~REG23, REG111~REG11m, REG121~REG12n, REG131~REG13p レジスタ回路 (遅延手段)
 LC10~LC1j, LC20~LC2j, LCB11~LCB1j, LCB21~LCB2j ラッチ回路 (遅延手段)

10

13

14

17A

18A

15A

16A

11

12

13

14

15

16

17

18

19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

241

242

243

244

245

246

247

248

249

250

251

252

253

254

255

256

257

258

259

260

261

262

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

312

313

314

315

316

317

318

319

320

321

322

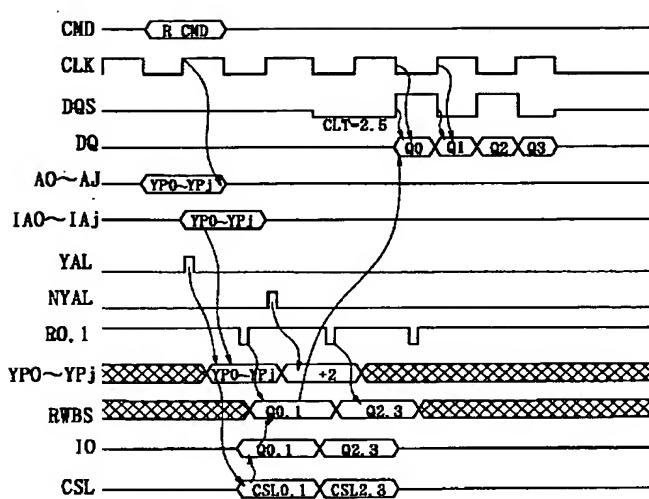
323

324

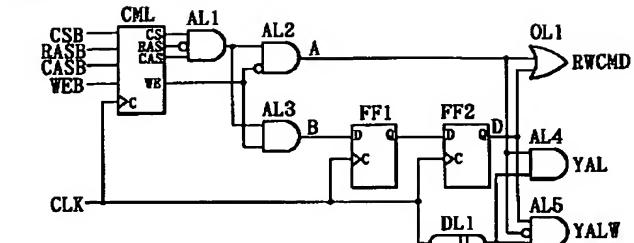
325

32

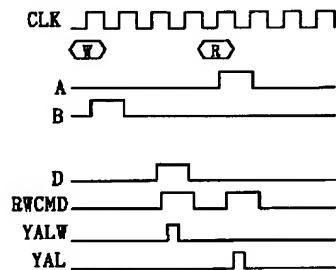
【図3】



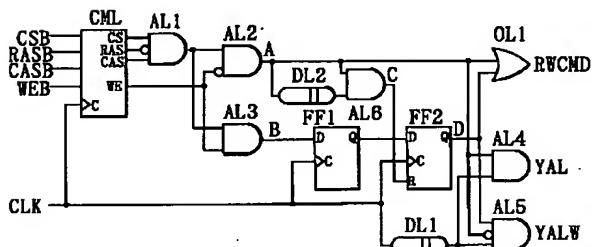
(a)



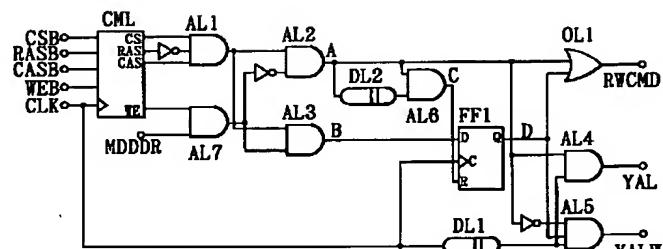
(b)



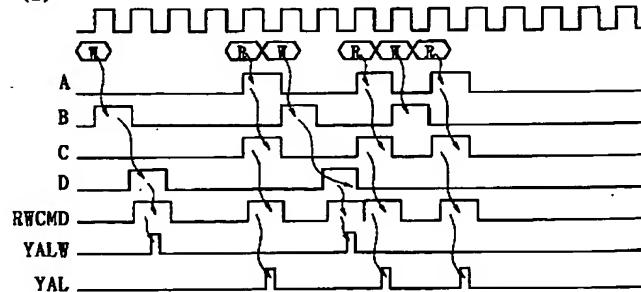
【図5】



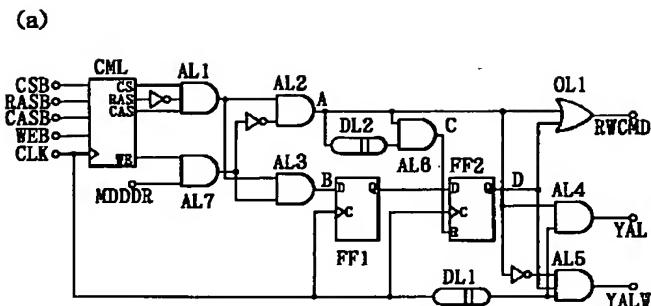
【図6】



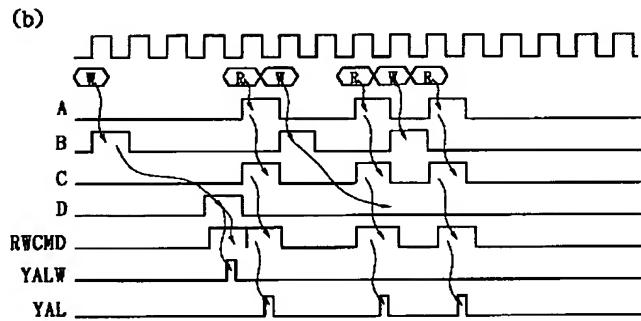
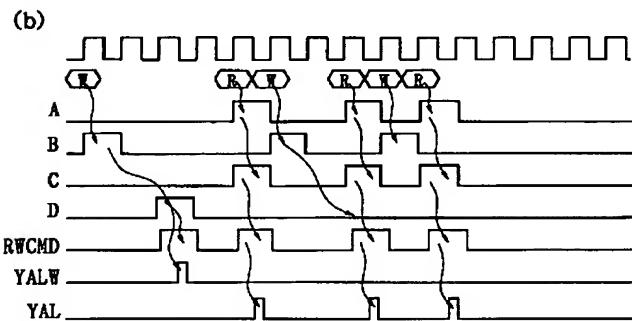
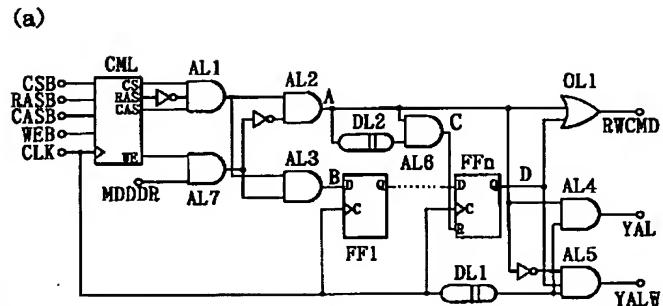
(b)



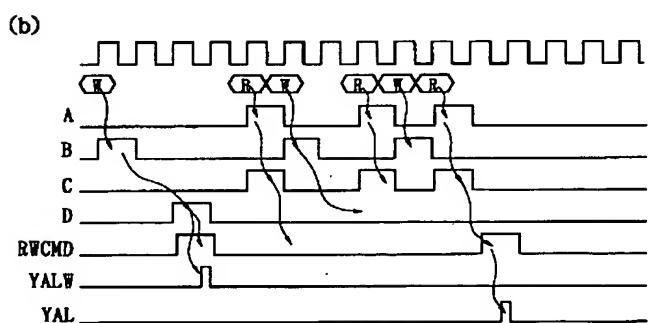
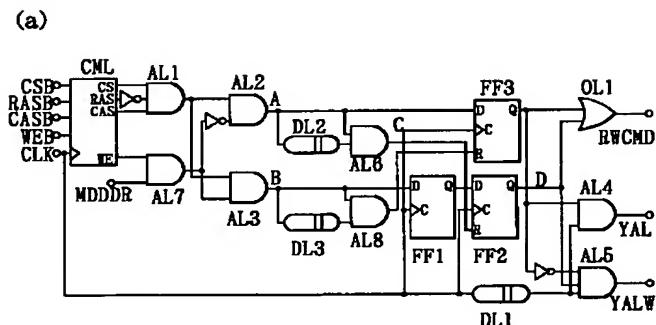
【図7】



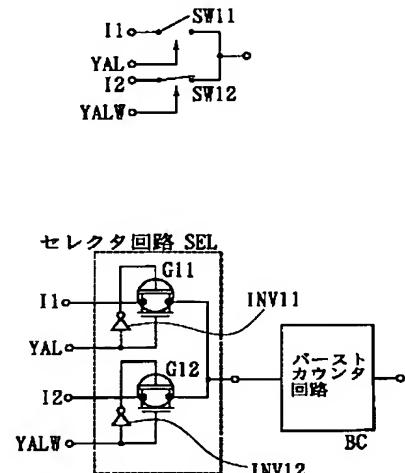
【図8】



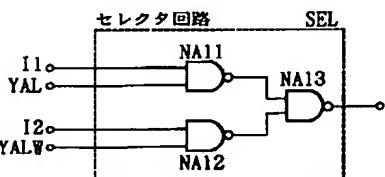
【図9】



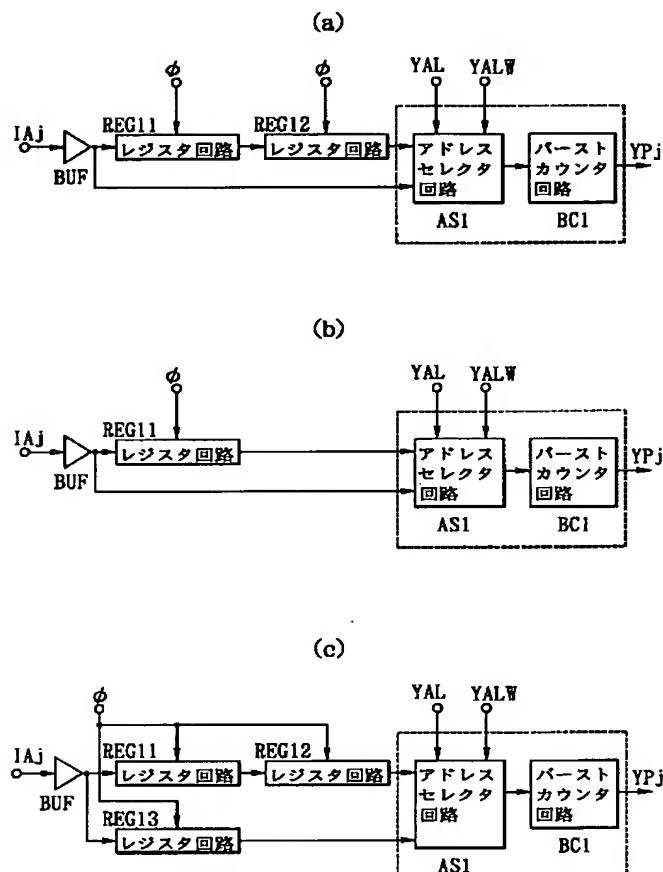
(a)



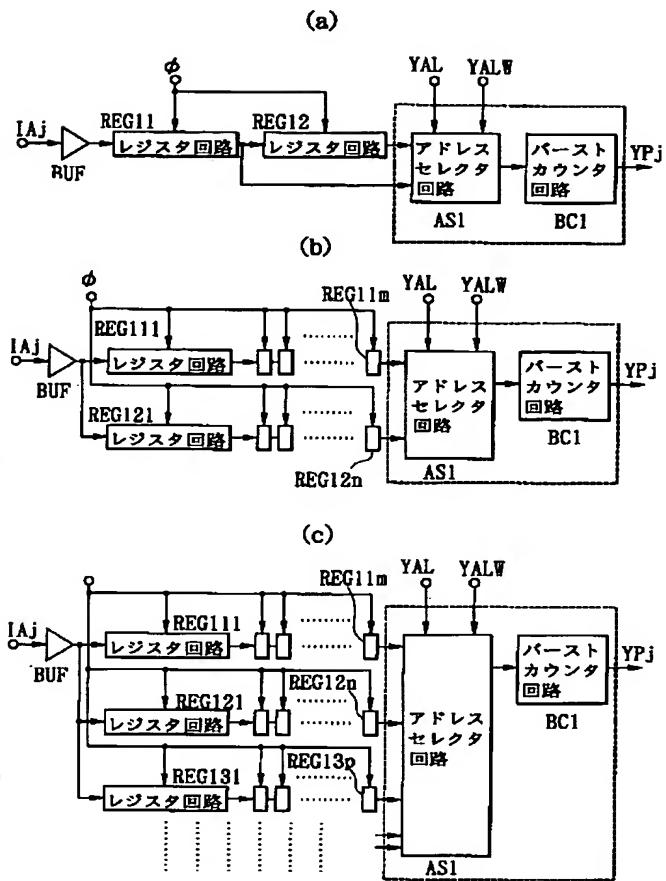
(b)



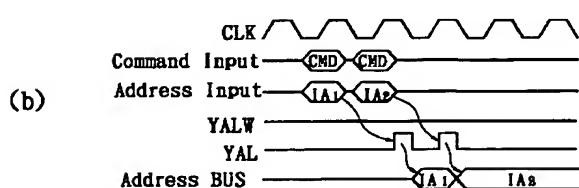
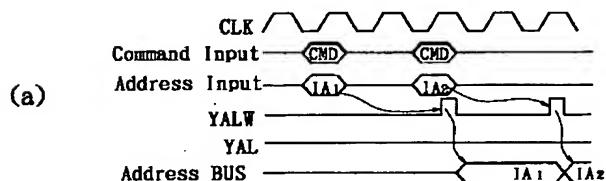
【図11】



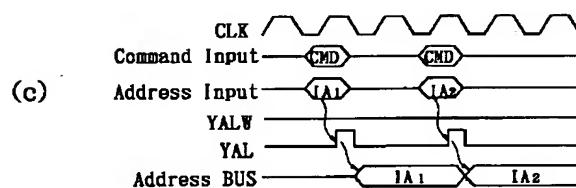
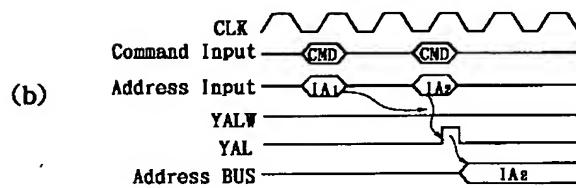
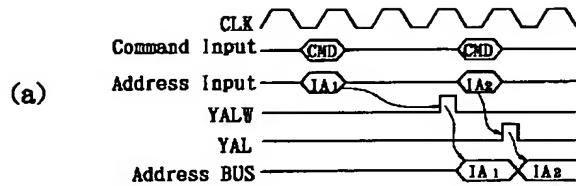
【図12】



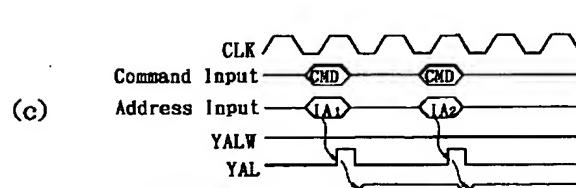
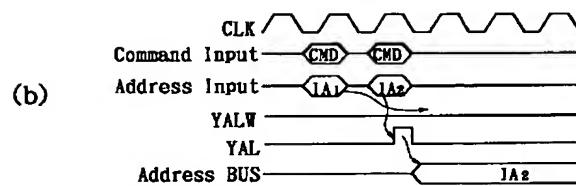
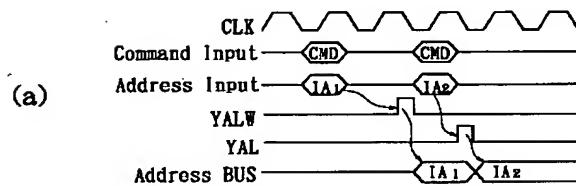
【図18】



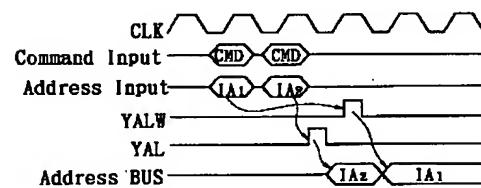
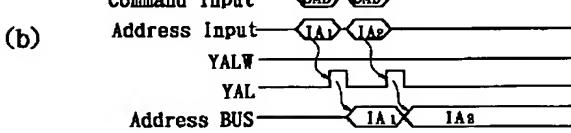
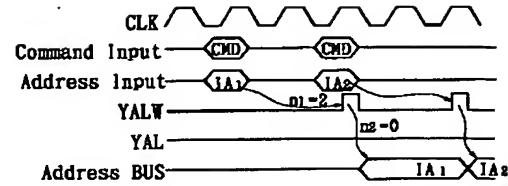
【図13】



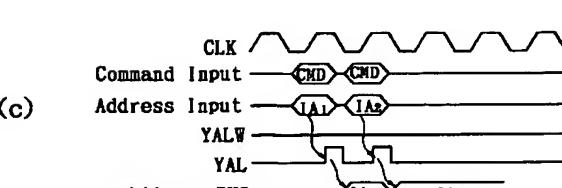
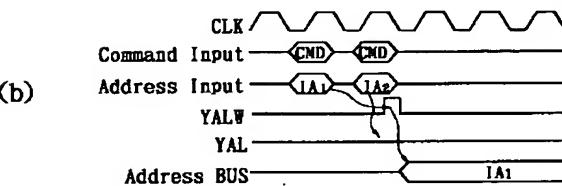
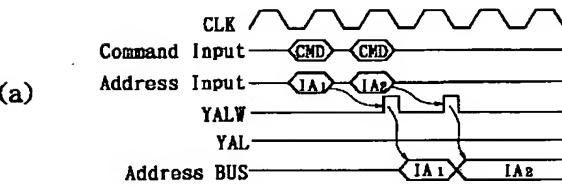
【図15】



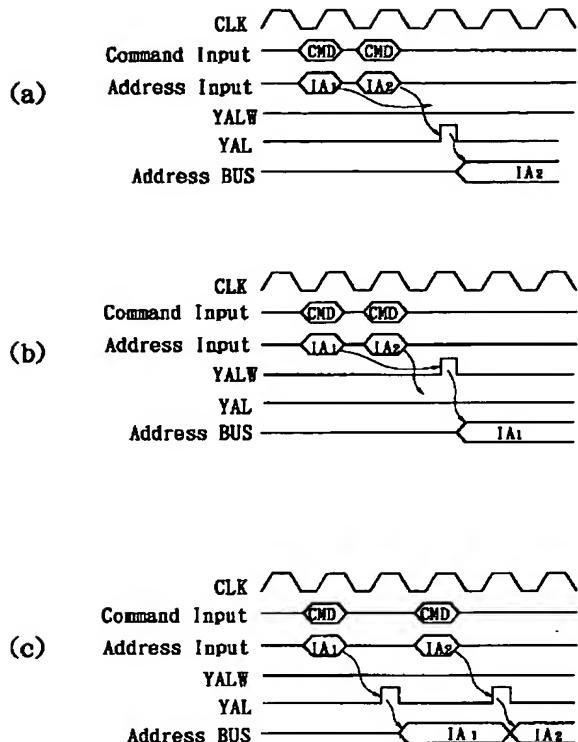
【図14】



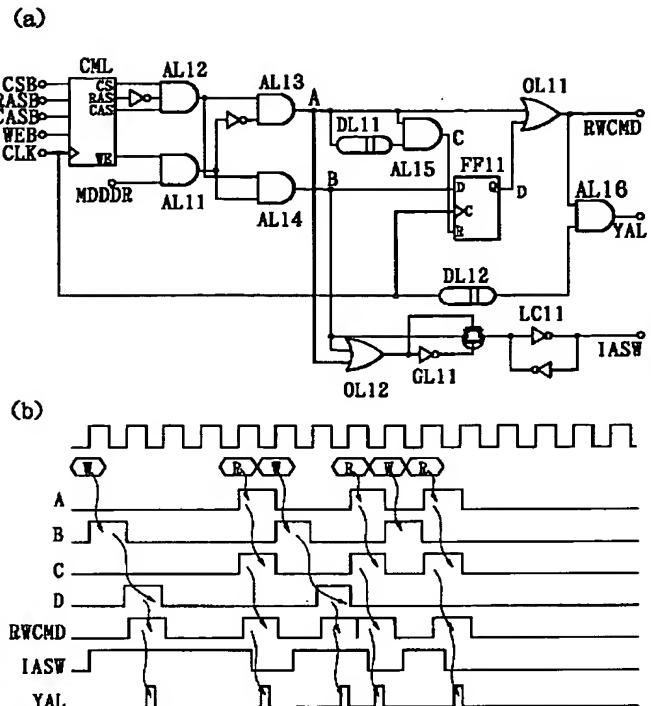
【図16】



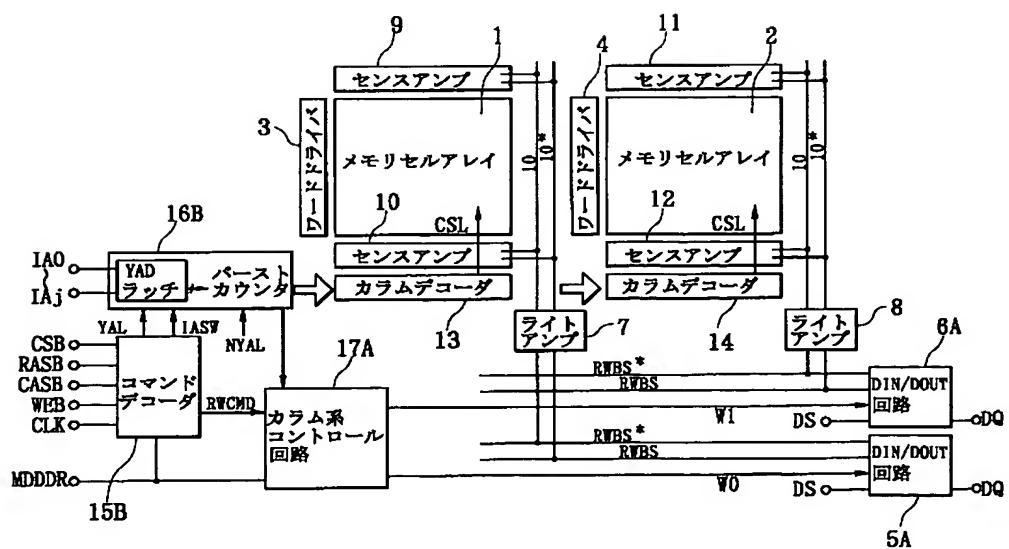
【図17】



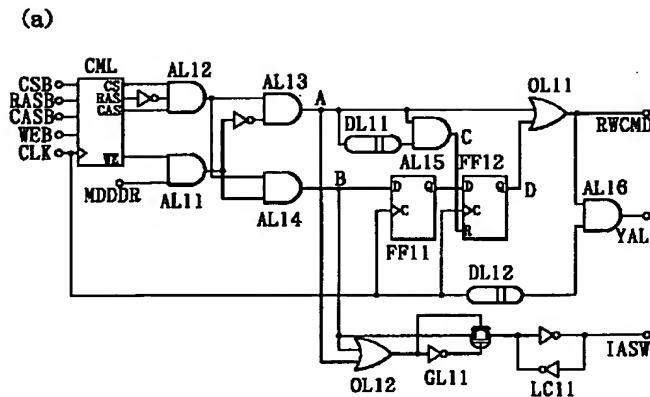
【図20】



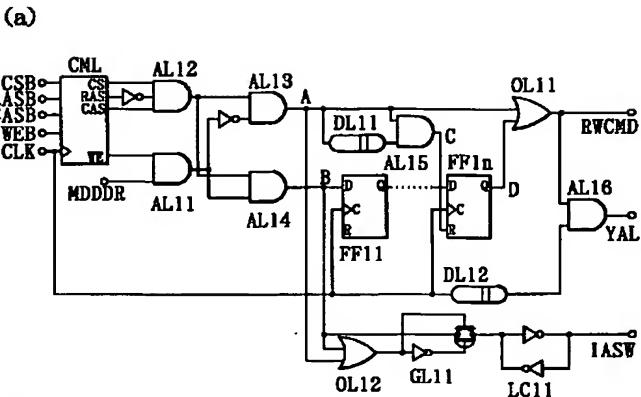
【図19】



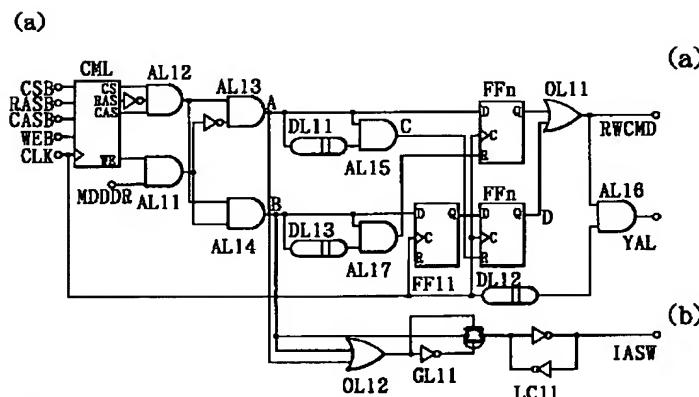
【図21】



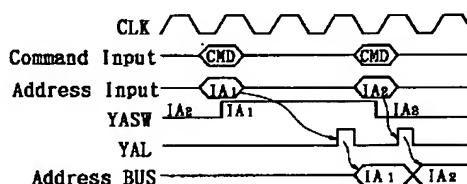
【図22】



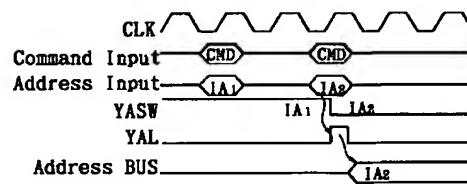
【図23】



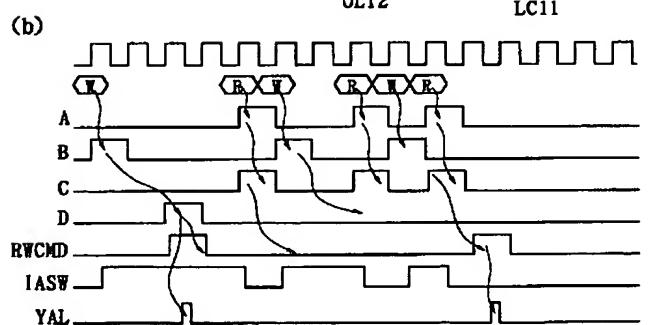
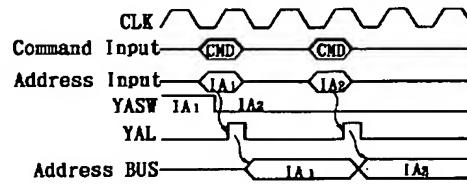
(a)



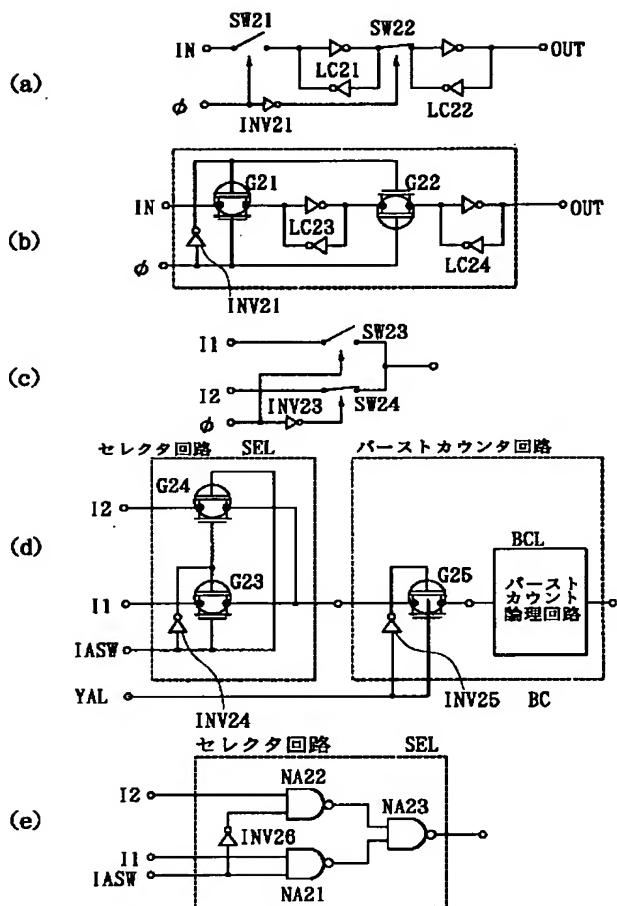
(b)



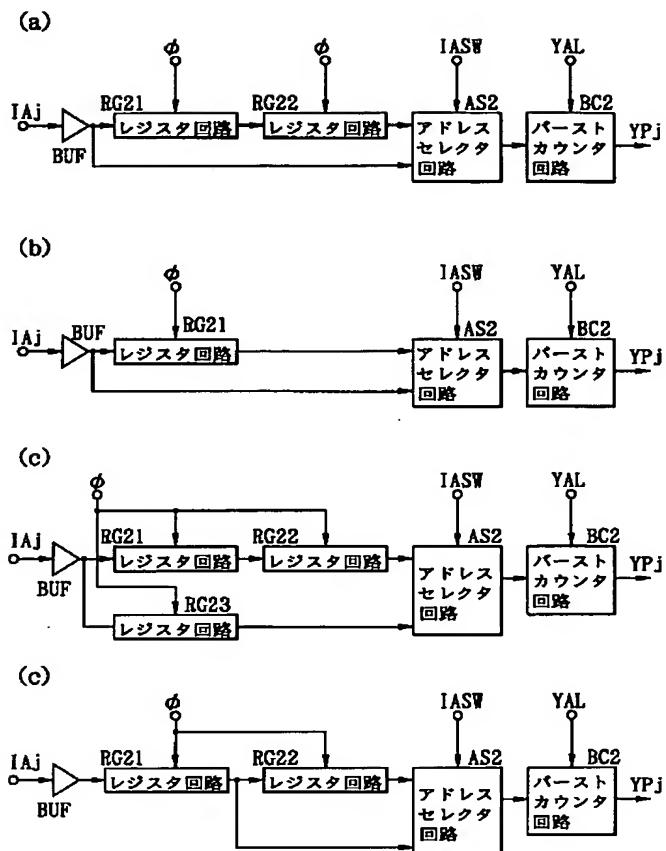
(c)



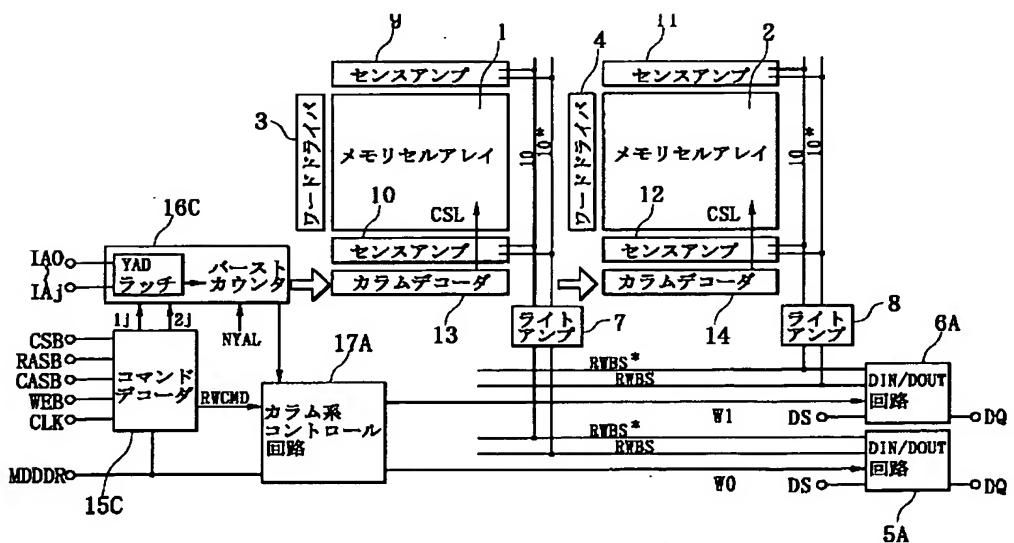
【図24】



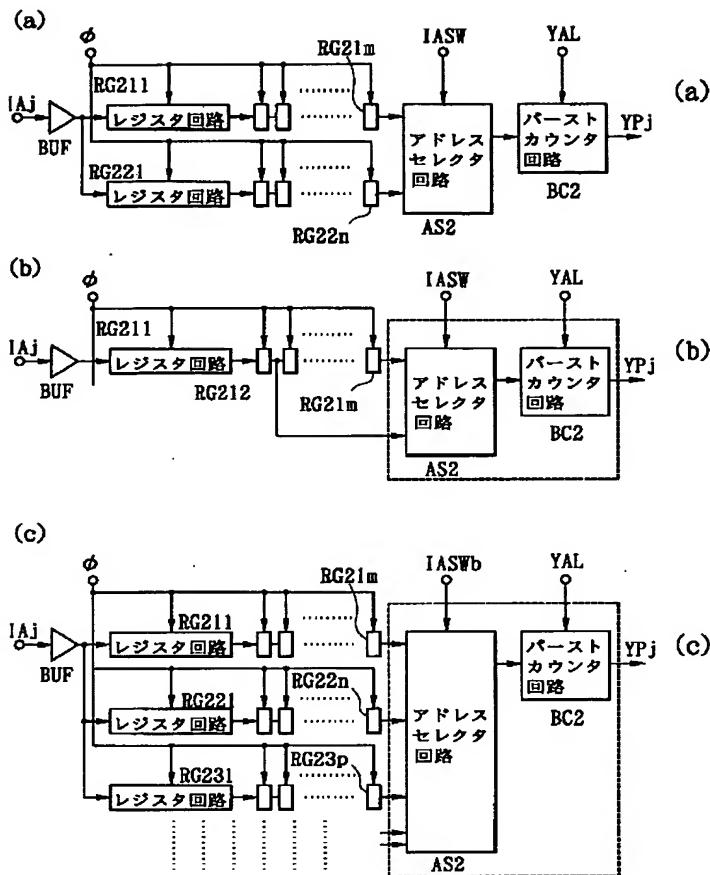
【図25】



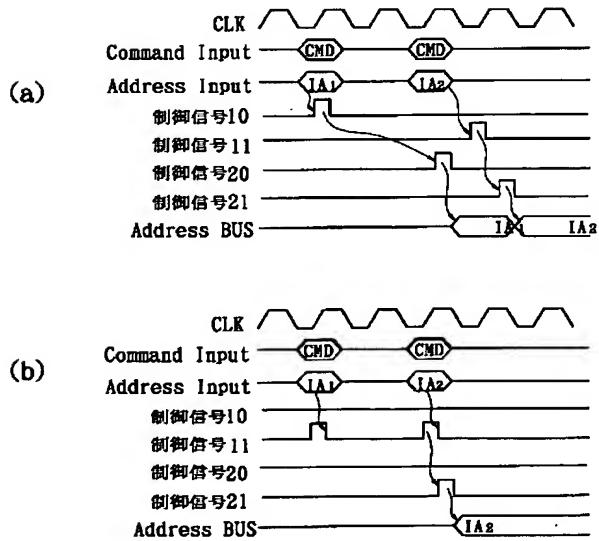
【図31】



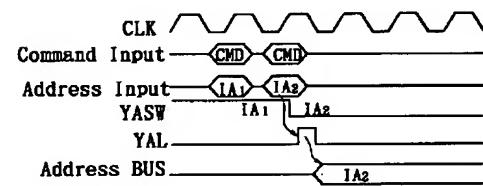
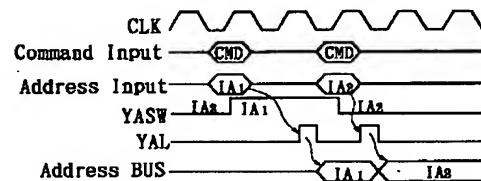
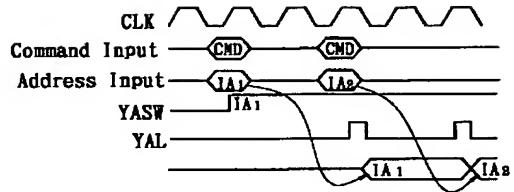
【図26】



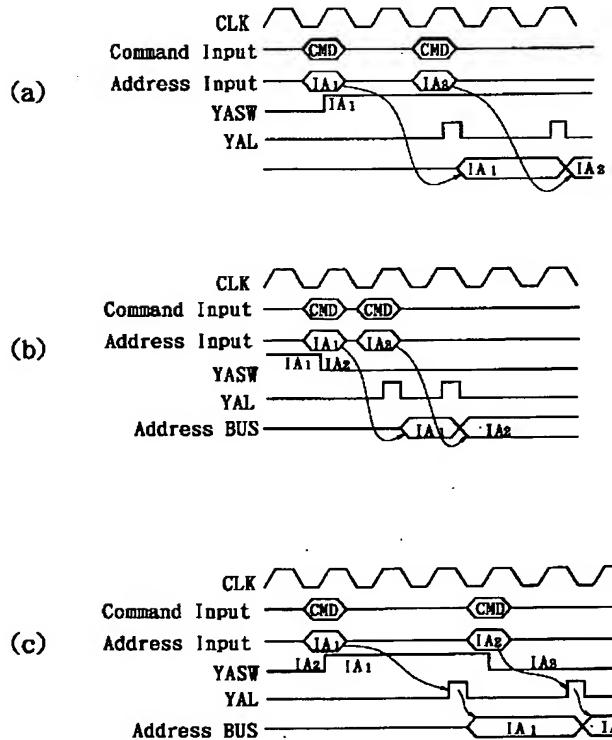
【図28】



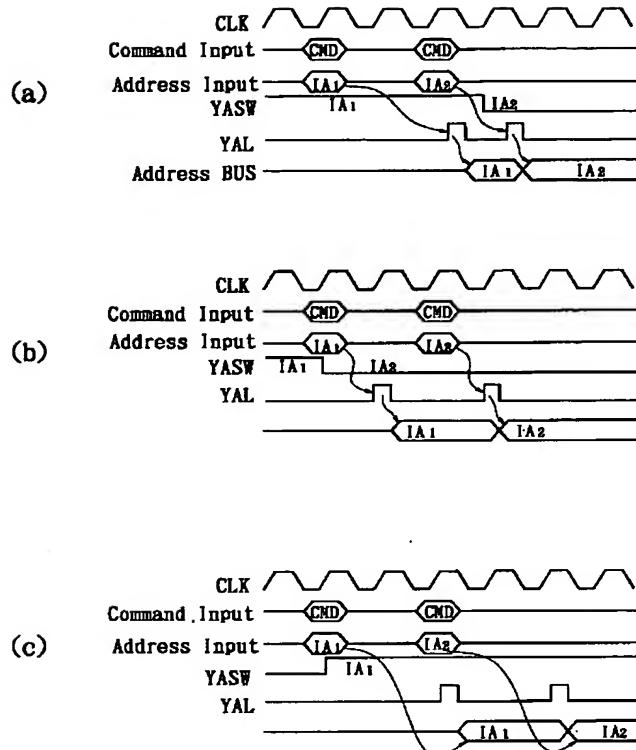
【図28】



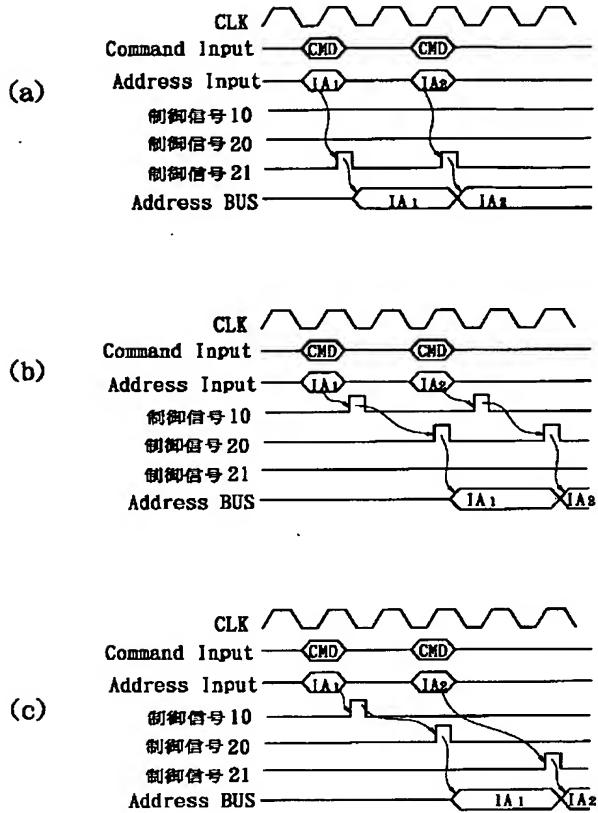
【図29】



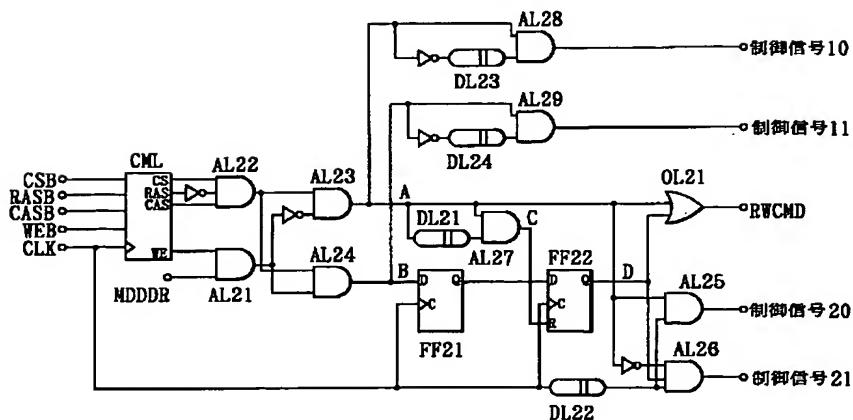
【図30】



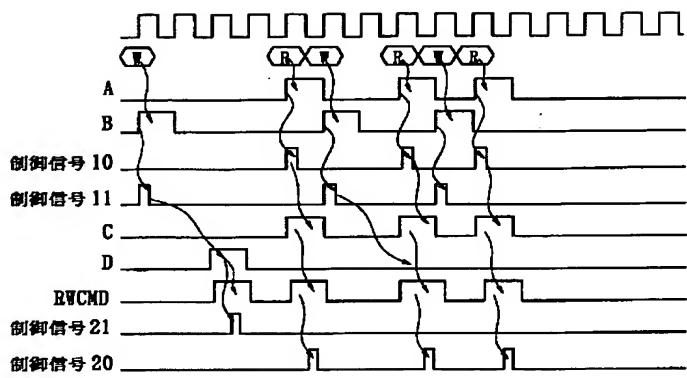
【図39】



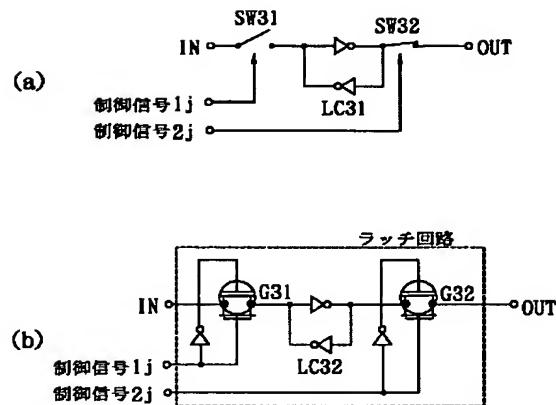
【図32】



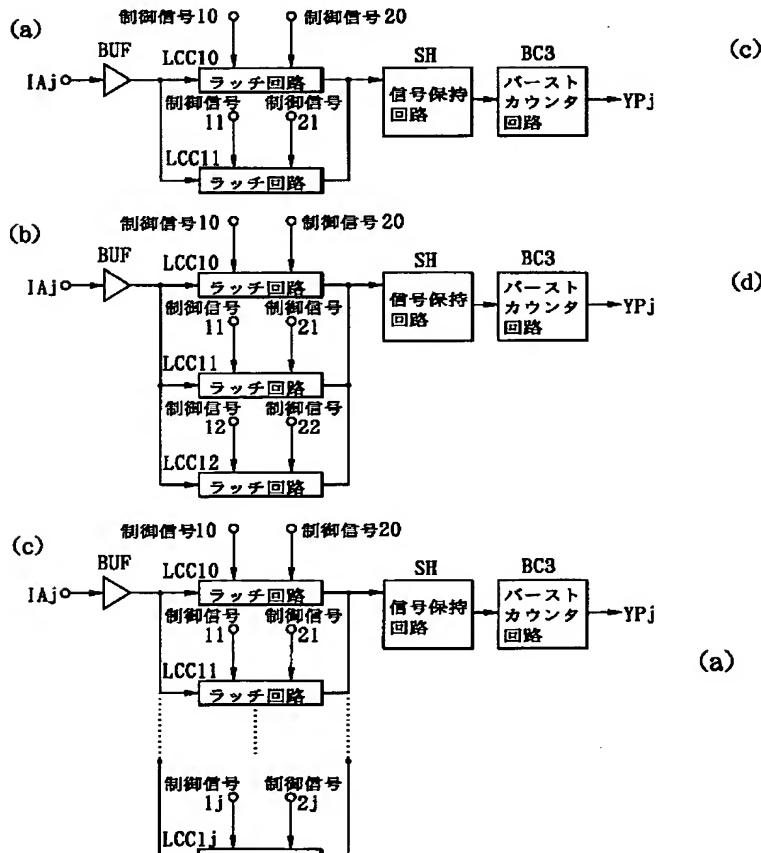
【図33】



【図34】



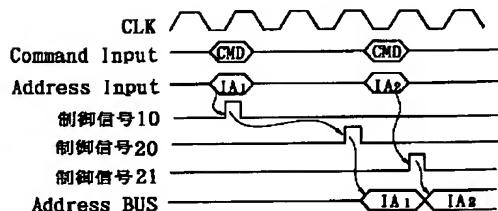
【図35】



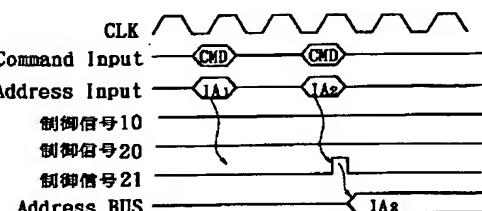
(a)

(b)

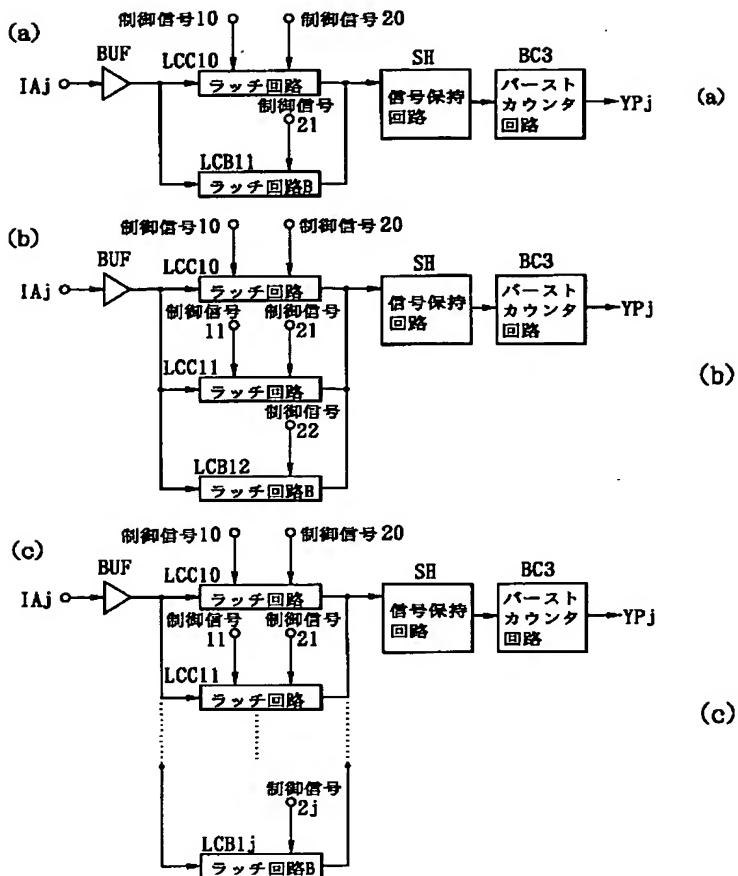
【図40】



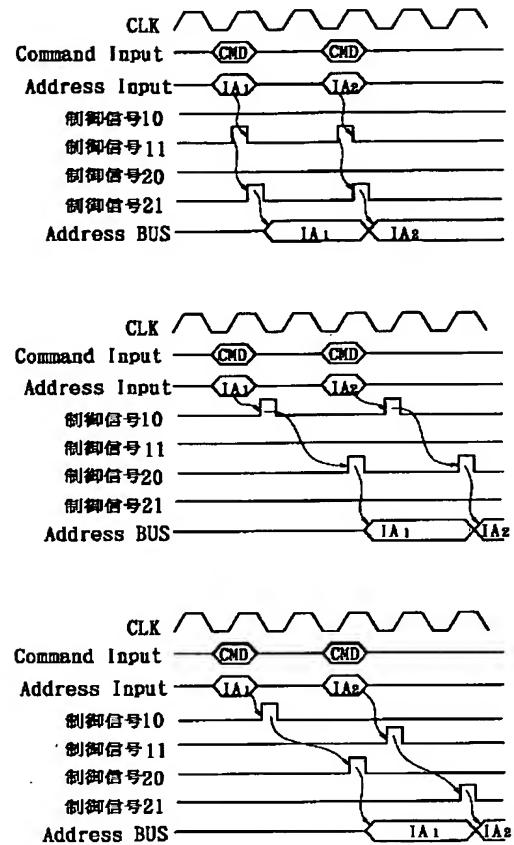
(b)



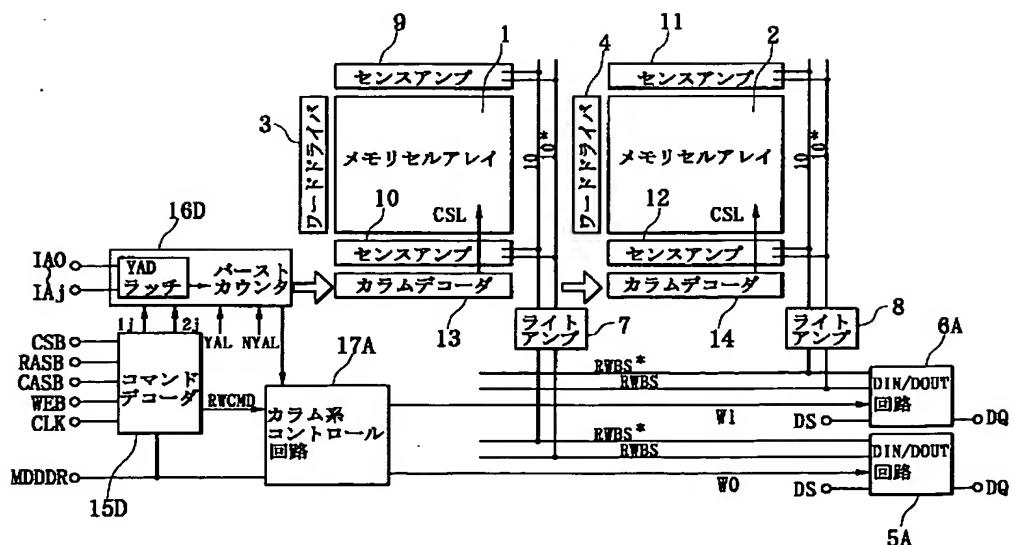
【図36】



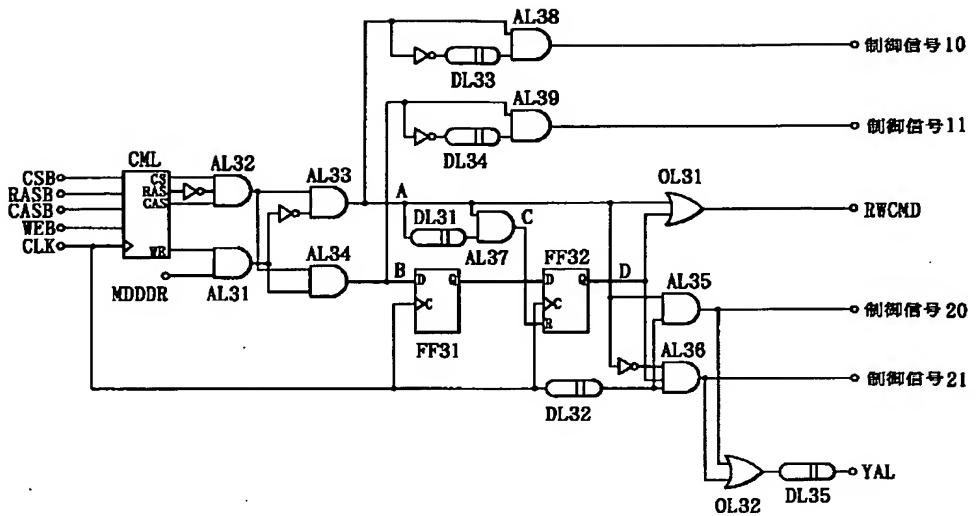
【図37】



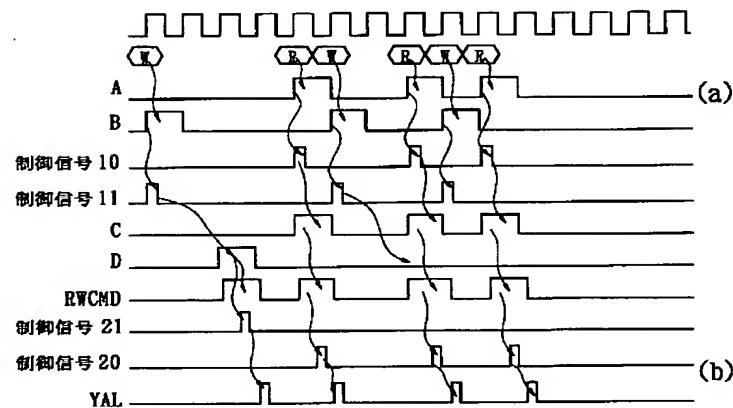
【図41】



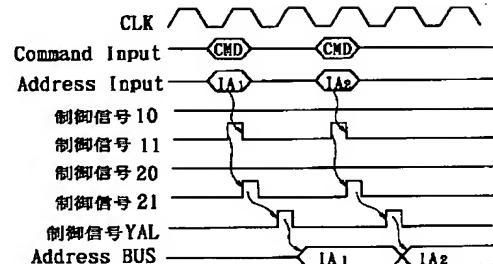
【図42】



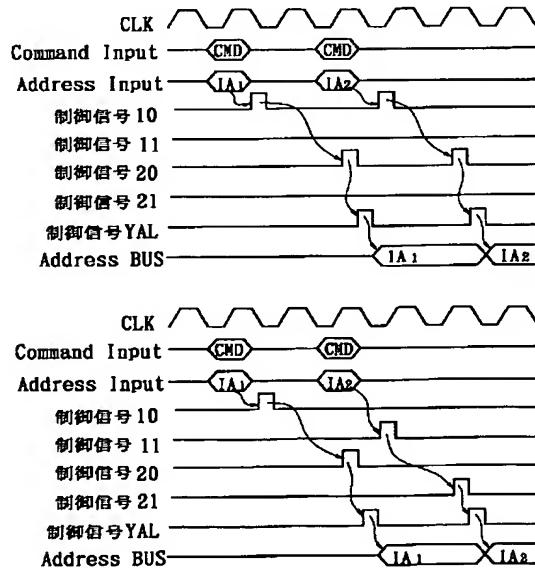
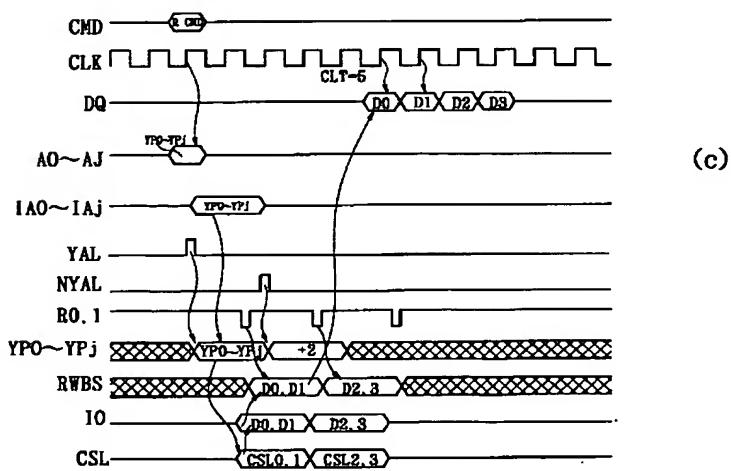
【図43】



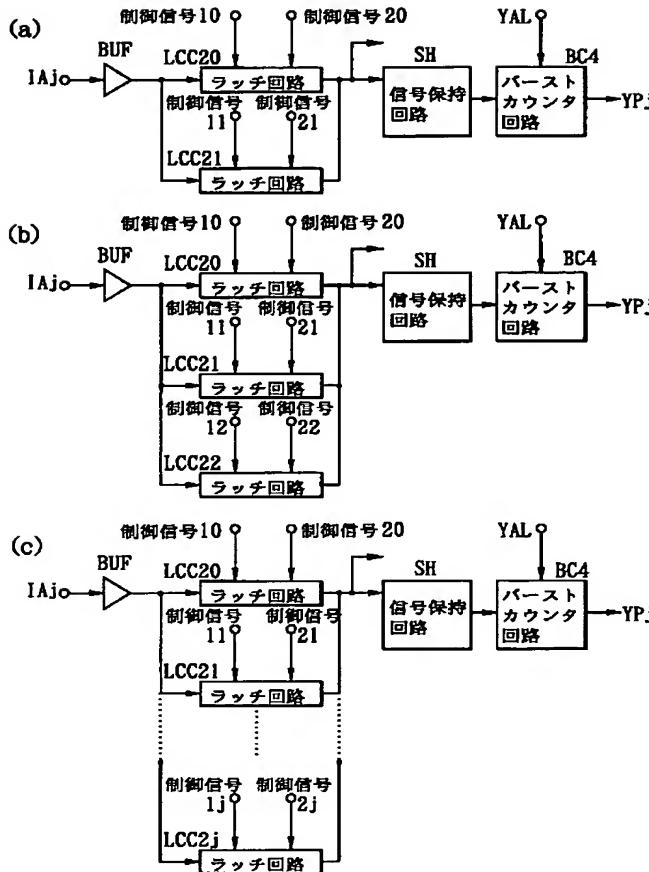
【図46】



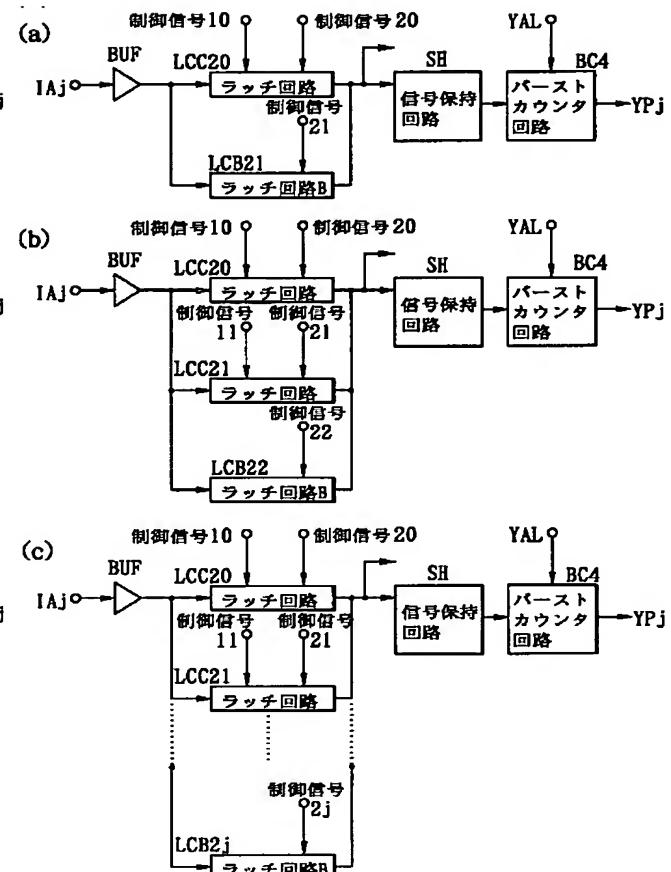
【図52】



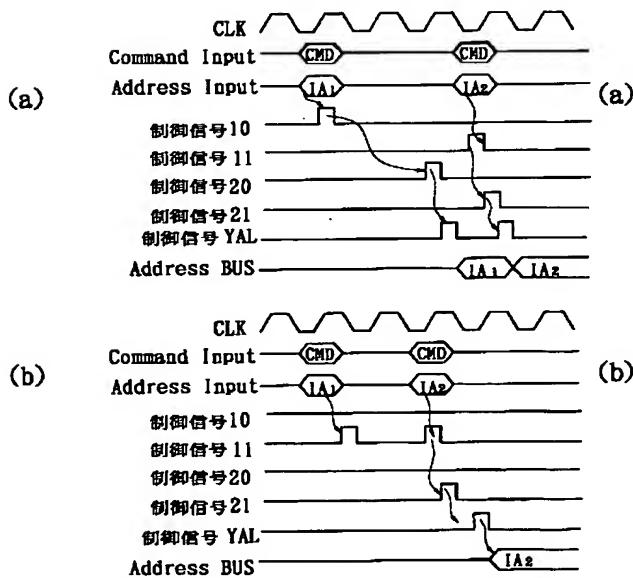
【图 4-4】



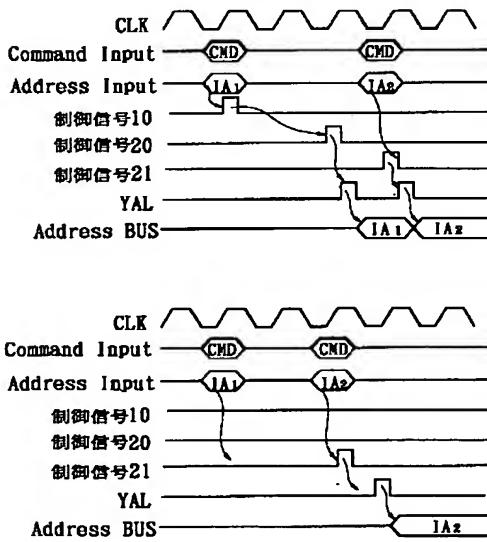
[図45]



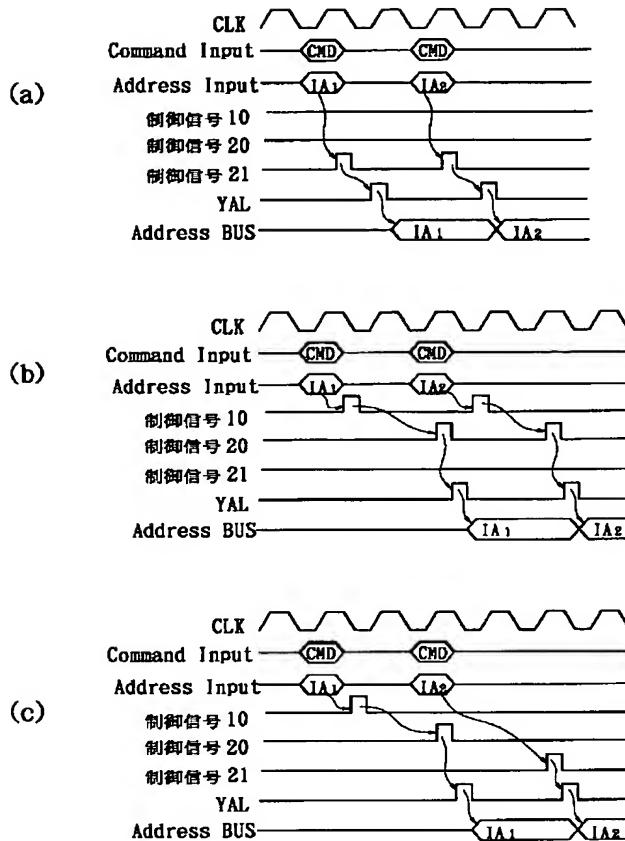
[图 47]



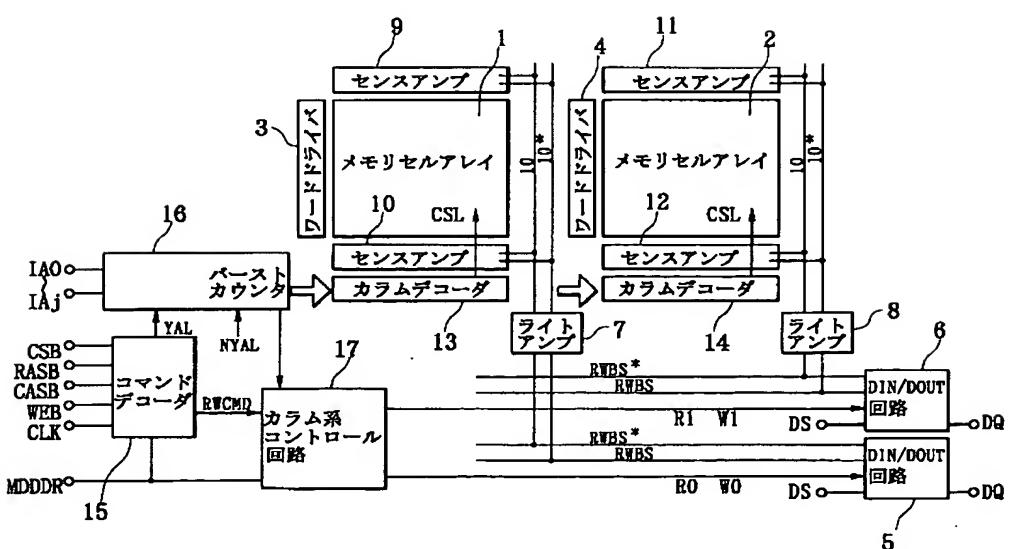
【图49】



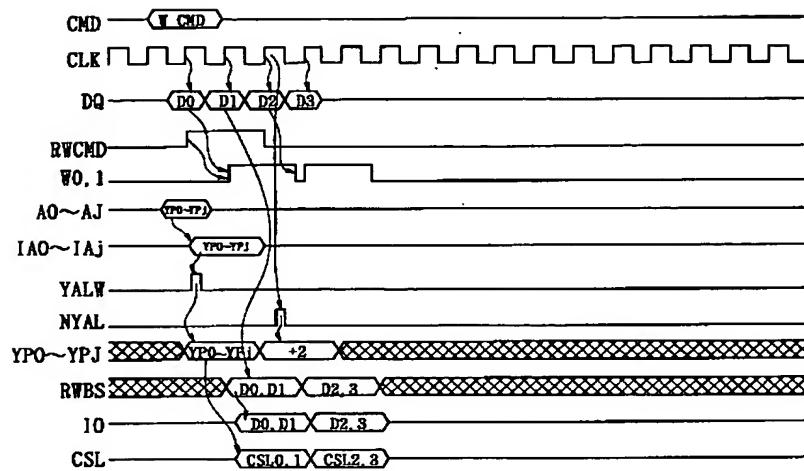
【図48】



【図50】



【図51】



フロントページの続き

F ターム(参考) 5B015 HH01 HH03 JJ24 KB43 KB44
 KB84 KB92 NN03 PP01 QQ18
 5B024 AA04 BA18 BA21 BA23 BA25
 CA11 CA16